

BỘ GIÁO DỤC VÀ ĐÀO TẠO  
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT  
THÀNH PHỐ HỒ CHÍ MINH

TRẦN VĨNH THANH

NGHIÊN CỨU BỘ NGHỊCH LƯU TĂNG ÁP BA BẬC HÌNH T  
TRONG TRẠNG THÁI BÌNH THƯỜNG VÀ  
SỰ CỐ HỖ MẠCH KHÓA CÔNG SUẤT

LUẬN ÁN TIẾN SĨ  
NGÀNH: KỸ THUẬT ĐIỆN TỬ

Tp. Hồ Chí Minh, tháng năm 2023

BỘ GIÁO DỤC VÀ ĐÀO TẠO  
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT  
THÀNH PHỐ HỒ CHÍ MINH

TRẦN VĨNH THANH

**NGHIÊN CỨU BỘ NGHỊCH LƯU TĂNG ÁP BA BẬC HÌNH T  
TRONG TRẠNG THÁI BÌNH THƯỜNG VÀ  
SỰ CỐ HỖ MẠCH KHÓA CÔNG SUẤT**

**NGÀNH: KỸ THUẬT ĐIỆN TỬ - 9520203**

Người hướng dẫn khoa học: TS. Nguyễn Minh Khai

Phản biện 1:

Phản biện 2:

Phản biện 3:

Tp. Hồ Chí Minh, tháng      năm 2023

## QUYẾT ĐỊNH

Về việc giao đề tài luận án và người hướng dẫn NCS khóa 2020 - 2023

### HIỆU TRƯỞNG TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

Căn cứ Luật Giáo dục đại học ngày 18/6/2012 và Luật sửa đổi, bổ sung một số điều của Luật Giáo dục đại học ngày 19/11/2018;

Căn cứ Nghị định 99/2019/NĐ-CP ngày 30/12/2019 của Chính phủ Quy định chi tiết và hướng dẫn thi hành một số điều của Luật sửa đổi, bổ sung một số điều của Luật giáo dục đại học;

Căn cứ Quyết định số 937/QĐ-TTg ngày 30/6/2017 của Thủ tướng Chính phủ về việc phê duyệt đề án thí điểm đổi mới cơ chế hoạt động của Trường Đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh;

Căn cứ Nghị quyết số 11/NQ-HĐT ngày 08/01/2021 của Hội đồng trường ban hành Quy chế tổ chức và hoạt động của Trường Đại học Sư phạm Kỹ thuật TP. HCM;

Căn cứ Thông tư số 08/2017/TT-BGDĐT ngày 04/4/2017 của Bộ Giáo dục và Đào tạo về việc Ban hành Quy chế tuyển sinh và đào tạo trình độ tiến sĩ;

Theo nhu cầu công tác và khả năng cán bộ;

Theo đề nghị của Trường khoa/Viện quản ngành và Trường phòng Đào tạo,

### QUYẾT ĐỊNH:

**Điều 1.** Giao đề tài luận án tiến sĩ và người hướng dẫn cho:

Nghiên cứu sinh : *Trần Vĩnh Thanh*

Ngành : *Kỹ thuật điện tử*

Khoá: 2020 – 2023

Tên luận án : *Nghiên cứu bộ nghịch lưu tăng áp ba bậc hình T trong trạng thái bình thường và sự cố hở mạch khóa công suất*

Người HD thứ nhất (HD chính) : *TS. Nguyễn Minh Khai*

Người HD thứ hai :

Thời gian thực hiện : *01/10/2020 đến 30/9/2023*

**Điều 2.** Giao cho Phòng Đào tạo quản lý, thực hiện theo đúng Quy chế đào tạo trình độ tiến sĩ của Bộ Giáo dục & Đào tạo và Nhà trường đã ban hành.

**Điều 3.** Trường các đơn vị, phòng Đào tạo, các Khoa/Viện quản ngành tiến sĩ và các Ông (Bà) có tên tại Điều 1 chịu trách nhiệm thi hành quyết định này.

Quyết định có hiệu lực kể từ ngày ký. /.

#### Nơi nhận:

- BGH (để biết);
- Như điều 2, 3;
- Lưu: VT, ĐT (4b).



# LÝ LỊCH KHOA HỌC

## I. LÝ LỊCH SƠ LƯỢC:

Họ & tên: Trần Vĩnh Thanh

Giới tính: Nam

Ngày, tháng, năm sinh: 19/01/1995

Nơi sinh: Ninh Thuận

Quê quán: Ninh Thuận

Dân tộc: Kinh

Chỗ ở riêng hoặc địa chỉ liên lạc: C3/27, phường Tân Phong, TP. Biên Hòa, tỉnh Đồng Nai.

Điện thoại di động: 0989 409 363

E-mail: [tranvinhthanh.tc@gmail.com](mailto:tranvinhthanh.tc@gmail.com) hoặc [thanhtv.ncs@hcmute.edu.vn](mailto:thanhtv.ncs@hcmute.edu.vn)

## II. QUÁ TRÌNH ĐÀO TẠO:

### 1. Đại học:

Hệ đào tạo: Chính quy Thời gian đào tạo từ 10/2013 đến 10/2018

Nơi đào tạo: đại học Sư Phạm Kỹ Thuật TP. HCM

Ngành học: Công nghệ kỹ thuật điện tử truyền thông

Tên đề án, luận án hoặc môn thi tốt nghiệp: Thiết kế và thi công mạch chỉnh lưu tia 3 pha dùng vi điều khiển giao tiếp với máy tính.

Ngày & nơi bảo vệ đề án, luận án hoặc thi tốt nghiệp: tháng 07/2017 tại trường đại học Sư Phạm Kỹ Thuật TP.HCM.

Người hướng dẫn: Th.S Hoàng Ngọc Văn

### 2. Thạc sĩ:

Hệ đào tạo: Chính quy Thời gian đào tạo từ 2018 đến 2020

Nơi đào tạo: đại học Sư phạm Kỹ thuật TP. Hồ Chí Minh

Ngành học: Kỹ thuật điện tử

Tên luận văn: Giải thuật triệt tiêu điện áp common mode và giảm tổn hao do sự chuyển mạch cho nghịch lưu hình T 3 pha 3 bậc

Ngày & nơi bảo vệ luận văn: tháng 10/2019 tại trường đại học Sư Phạm Kỹ Thuật TP.HCM.

Người hướng dẫn: TS. Quách Thanh Hải

**3. Trình độ ngoại ngữ** (biết ngoại ngữ gì, mức độ): tiếng Anh, IELTS 5.0.

### **III. QUÁ TRÌNH NGHIÊN CỨU KHOA HỌC**

1. Các công bố trên danh mục tạp chí SCI, SCIE, SSCI, AHCI:

<b>TT</b>	<b>Tên công trình</b>	<b>Tác giả chính/ Đồng tác giả</b>	<b>Năm công bố</b>	<b>Tên tạp chí</b>
1	A New Topology of Single-Phase Common Ground Buck-Boost Inverter with Component Voltage Rating Reduction	Tác giả chính	2023	IEEE Access ( <b>Q2</b> )
2	A Novel Three-Level Quasi-Switched Boost F-Type Inverter With High Voltage Gain and Self-Balanced Neutral-Point Voltage	Tác giả liên hệ	2023	IEEE Access ( <b>Q2</b> )
3	Fault Tolerant Control Methods for Three-Level Boost T-Type Inverter	Đồng tác giả	2022	IEEE Transactions on Industrial Electronics ( <b>Q1</b> )
4	Space Vector Modulation	Tác giả	2022	IEEE Access ( <b>Q2</b> )

	Method-Based Common Mode Voltage Reduction for Active Impedance-Source T-Type Inverter	chính		
5	An DPWM for Active DC-Link Type Quasi-Z-Source Inverter to Reduce Component Voltage Rating	Đồng tác giả	2022	Energies ( <b>Q3</b> )
6	An SVM Scheme for Three-Level Quasi-Switched Boost T-Type Inverter With Enhanced Voltage Gain and Capacitor Voltage Balance	Tác giả chính	2021	IEEE Transactions on Power Electronics ( <b>Q1</b> )
7	A Single-Stage Boost-Derived T-Type Inverter with Self-Balanced Capacitor Voltage	Đồng tác giả	2021	IEEE Journal of Emerging and Selected Topics in Industrial Electronics
8	Enhanced Boost Factor for Three-Level Quasi-Switched Boost T-Type Inverter	Đồng tác giả	2021	Energies ( <b>Q2</b> )

9	A Three-Level DC-Link Quasi-Switch Boost T-Type Inverter with Voltage Stress Reduction	Tác giả chính	2020	Energies (Q2)
10	Common Mode Voltage Elimination for Quasi-Switch Boost T-Type Inverter Based on SVM Technique	Đồng tác giả	2020	Electronics (Q3)
11	A PWM scheme for a fault-tolerant three-level quasi-switched boost T-type inverter	Đồng tác giả	2019	IEEE Journal of Emerging and Selected Topics in Power Electronics (Q1)

3. Các công bố khác (bài báo quốc tế, trong nước, báo cáo đăng kí yếu...):

TT	Tên công trình	Năm công bố	Tên tạp chí
1	A Single-Phase Switched-Capacitor Five-Level Boost Inverter with Boost Factor Improvement	2023	2023 IEEE Applied Power Electronics Conference and Exposition (APEC)
2	Open-Circuit Fault-Tolerant Method for Three-Level Quasi-Switched Boost T-Type Inverter	2022	2022 IEEE Energy Conversion Congress and Exposition (ECCE)

3	Single-Phase Five-Level Quasi-Switched Boost T-Type Inverter	2021	2021 IEEE Transportation Electrification Conference & Expo (ITEC)
4	Single phase five-level quasi-switch boost inverter with high voltage gain	2020	Measurement, Control, and Automation
5	A Redundant Unit Form of Quasi-Z-source T-Type Inverter with Fault-Tolerant Capability	2020	2020 5th International Conference on Green Technology and Sustainable Development (GTSD)
6	PWM control method to eliminate Common Mode Voltage in three level T-Type inverters	2019	IOP Conference Series: Earth and Environmental Science
7	A Novel Offset Function for Three-Level T-Type Inverter to Reduce Switching Loss	2019	2019 International Conference on System Science and Engineering (ICSSE)
8	A Quasi-Z-source T-Type Inverter with Fault-Tolerant Capability	2019	2019 International Conference on System Science and Engineering (ICSSE)
9	Space vector modulation scheme for three-level T-type quasi-switched boost	2019	2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)



	inverter to reduce common mode voltage		
10	Space vector modulation strategy for three-level quasi-switched boost T-Type inverter	2018	2018 IEEE 4th Southern Power Electronics Conference (SPEC)

*TP. HCM, ngày tháng năm 2023*

**Người khai ký tên**

(Ghi rõ chức danh, học vị)

Th.S. Trần Vĩnh Thanh

# LỜI CAM ĐOAN

Tôi cam đoan đây là công trình nghiên cứu của tôi.

Các số liệu, kết quả nêu trong luận án là trung thực và chưa từng được ai công bố trong bất kỳ công trình nào khác.

*Tp. Hồ Chí Minh, ngày tháng năm 2023*

(Ký tên và ghi rõ họ tên)

Trần Vĩnh Thanh

# LỜI CẢM ƠN

Tôi xin gửi lời cảm ơn chân thành đến các thầy, cô giáo trường đại học Sư phạm Kỹ thuật Thành phố Hồ Chí Minh đã truyền đạt, củng cố và định hướng trong quá trình học tập tại trường. Giúp tôi có khả năng tìm tòi, tư duy và tự nghiên cứu phục vụ cho công việc hiện tại và trong tương lai sắp tới.

Tôi xin trân trọng gửi lời cảm ơn đến thầy TS. Nguyễn Minh Khai đã tận tình hướng dẫn, giúp đỡ, dành thời gian chỉ dẫn, chỉnh sửa và truyền đạt kiến thức, truyền đạt kinh nghiệm và tạo mọi điều kiện thuận lợi nhất để tôi thực hiện tốt luận án này. Đồng thời, tôi xin gửi lời cảm ơn chân thành đến thầy TS. Đỗ Đức Trí đã hỗ trợ phòng thí nghiệm và giúp đỡ tôi tận tình trong thời gian thực hiện luận án.

Trần Vĩnh Thanh được tài trợ bởi Chương trình học bổng đào tạo tiến sĩ trong nước của Quỹ Đổi mới sáng tạo Vingroup (VINIF), mã số VINIF.2022.TS112.

Xin chân thành cảm ơn.

# TÓM TẮT

Ngày nay, các nguồn năng lượng tái tạo, đặc biệt là năng lượng mặt trời đang nhận được nhiều sự quan tâm của của nhà nghiên cứu trong và ngoài nước. Ngõ ra của các tấm pin năng lượng mặt trời tồn tại dưới dạng điện áp một chiều. Do đó, để chuyển đổi điện áp một chiều thành điện áp xoay chiều trong các ứng dụng hòa lưới, hoặc điều khiển động cơ, vai trò của các bộ nghịch lưu nguồn áp là rất quan trọng.

Đối với pin năng lượng mặt trời, điều kiện thời tiết thay đổi làm cho điện áp ngõ ra của các tấm pin thay đổi trong một phạm vi rộng, mạch nghịch lưu đòi hỏi phải làm việc ở chế độ tăng/giảm áp để đảm bảo biên độ của điện áp xoay chiều ngõ ra. Một trong những giải pháp phổ biến để giải quyết vấn đề này là sử dụng các bộ nghịch lưu hai tầng truyền thống. Cấu trúc nghịch lưu này sử dụng một mạch DC-DC tăng áp phía trước mạch nghịch lưu nguồn áp nhằm tăng cường điện áp DC-link phía nghịch lưu khi điện áp ngõ vào có giá trị thấp. Tuy nhiên, các cấu trúc này còn tồn tại các nhược điểm như: không cho phép hiện tượng trùng dẫn xảy ra, hệ số tăng áp thấp.

Nhằm khắc phục các nhược điểm của cấu trúc nghịch lưu hai tầng truyền thống, cấu hình nghịch lưu nguồn Z được đề xuất với các ưu điểm như: có khả năng tăng/giảm điện áp ngõ ra từ một nguồn DC ngõ vào, chống lại hiện tượng trùng dẫn. Có hai dạng chính của cấu trúc nghịch lưu một tầng: cấu trúc thụ động và cấu trúc tích cực. Nhìn chung, cấu trúc nguồn Z tích cực có những ưu điểm vượt trội so với các cấu trúc còn lại như: độ lợi điện áp cao, linh hoạt trong điều khiển, độ gợn sóng dòng điện trên cuộn dây thấp, số lượng cuộn dây và tụ điện thấp. Trong đó, cấu hình nghịch lưu tựa khóa chuyển mạch ba bậc hình T (three-level quasi-switched boost T-type inverter – 3L-qSBT<sup>2</sup>I) nhận được nhiều sự quan tâm của các nhà nghiên cứu nhờ các ưu điểm của nó.

Các phương pháp điều khiển đã công bố cho cấu hình 3L-qSBT<sup>2</sup>I còn tồn tại nhiều khuyết điểm như: độ lợi điện áp thấp, mất cân bằng điện thế điểm trung tính, chất

lượng điện áp ngõ ra thấp. Do đó, luận án này đề xuất giải thuật điều khiển vector không gian (space vector modulation -SVM) cho cấu hình 3L-qSBT<sup>2</sup>I nhằm cải thiện các nhược điểm này. Với giải thuật đề xuất, mạch nghịch lưu hoạt động với 27 vector điện áp, từ đó cải thiện đáng kể chất lượng điện áp ngõ ra. Trong đó, các vector nhỏ được sử dụng để chèn trạng thái trùng dẫn nửa trên (upper shoot through – UST) và trùng dẫn nửa dưới (lower shoot through – LST) nhằm mở rộng hệ số trùng dẫn. Kết quả là, độ lợi điện áp được gia tăng đáng kể. Từ đó, điện áp đặt trên các linh kiện như tụ điện khóa bán dẫn được giảm đáng kể so với các giải thuật khác. Ngoài ra, các vector nhỏ cũng được lựa chọn một cách thích hợp nhằm cân bằng điện thế điểm trung tính. Với giải thuật này, mạch nghịch lưu có thể cải thiện hiệu suất lên đến 2% so với giải thuật truyền thống.

Bên cạnh việc tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính, điện áp common-mode (common-mode voltage – CMV) cũng là một trong những vấn đề cần được quan tâm khi phát triển mạch nghịch lưu cho các ứng dụng hòa lưới hoặc điều khiển động cơ. Cụ thể, CMV là nguyên nhân chính tạo ra điện áp trục, dòng rò, và nhiễu điện từ (electromagnetic interference -EMI) ảnh hưởng xấu đến tuổi thọ của động cơ cũng như vấn đề an toàn của các hệ thống hòa lưới. Do đó, việc giảm biên độ của CMV là rất quan trọng giúp cải thiện hoạt động của mạch nghịch lưu.

Dựa trên giải thuật đã đề xuất, luận án tiếp tục đề xuất giải thuật giảm CMV cho cấu hình 3L-qSBT<sup>2</sup>I. Với giải thuật này, các vector có CMV lớn được loại bỏ ra khỏi giản đồ vector không gian. Bằng cách này, giải thuật SVM cải tiến có thể giảm biên độ đỉnh của CMV xuống còn 50% so với giải thuật trước đó. Từ đó, giá trị hiệu dụng cũng như biên độ sóng hài có tần số cao của CMV được làm giảm đáng kể. Lưu ý rằng, việc loại bỏ các vector có CMV cao không làm thay đổi dạng sóng ngõ ra vì các vector trùng lặp sẽ được sử dụng thay cho các vector này. Do đó, giải thuật SVM đề xuất vẫn duy trì chất lượng điện áp ngõ ra bằng với giải thuật trước đó.

Tiếp theo, luận án giới thiệu giải thuật SVM cho 3L-qSBT<sup>2</sup>I trong trường hợp xuất hiện sự cố tại các khóa bán dẫn. Ba lỗi chính được khảo sát là: 1) lỗi hở mạch tại khóa phía mạch tăng áp (F1), 2) lỗi tại khóa phía trên hoặc phía dưới phía nghịch lưu (F2), 3) lỗi tại khóa hai chiều (F3). Trong đó, lỗi F1 và F2 được giải quyết bằng cách đề xuất hoạt động hai tầng hai bậc cho hệ thống. Trong khi đó, mạch nghịch lưu vẫn duy trì hoạt động ba bậc với giải thuật SVM cải tiến cho trường hợp lỗi F3. Đối với sự cố này, pha bị lỗi hoạt động với hai bậc điện áp ngõ ra, pha không bị lỗi hoạt động tương tự như trạng thái bình thường. Ba phương pháp này có thể mở rộng để xử lý sự cố hở mạch và ngắn mạch tại các linh kiện bán dẫn và tụ điện phía nguồn Z. Cả ba phương pháp này đều cải thiện điện áp stress trên các linh kiện như tụ điện và linh kiện bán dẫn so với các phương pháp xử lý lỗi đã công bố trước đó. Đặc biệt, phương pháp xử lý lỗi hở mạch cho khóa phía trên của mạch nghịch lưu có thể giảm ít nhất 50% biên độ điện áp DC-link. Từ đó, giảm đáng kể điện áp đặt của các linh kiện phía nghịch lưu.

## ABSTRACT

Nowadays, renewable energy sources, especially solar energy, are receiving much attention from domestic and foreign researchers. The output of photovoltaic (PV) panels is DC voltage. Therefore, to convert DC voltage to AC voltage in grid-connected or motor control applications, the role of voltage source inverters is very important.

For PV panels, the changing weather conditions cause the output voltage of the panels to change in a wide range, the inverter circuit requires working in the buck/boost mode to ensure amplitude of the AC output voltage. One of the common solutions to solve this problem is to use traditional two-stage inverters. These type of inverters use a step-up DC-DC circuit in front of the voltage source inverter to boost the DC-link voltage on the inverter side when the input voltage is low. However, these topologies still have disadvantages such as: do not allow shoot-through state, low boost factor.

In order to overcome the disadvantages of the traditional two-stage inverter, the Z-source inverter configuration is proposed with advantages such as: buck-boost operation in single-stage conversion, and shoot-through immunity. There are two main types of single-stage inverter topologies: the passive structure and the active structure. In general, the active Z source structure has outstanding advantages over the other structure such as: high voltage gain, control flexibility, low inductor current ripple, low number of inductors and capacitors. In particular, the three-level quasi-switched boost T-type inverter (3L-qSBT<sup>2</sup>I) topology has received much attention from researchers because of its advantages.

The published pulse width modulation (PWM) methods for 3L-qSBT<sup>2</sup>I configuration still have many drawbacks such as: low voltage gain, neutral voltage

unbalance, low quality of output voltage. Therefore, this thesis proposes a space vector modulation (SVM) technique for the 3L-qSBT<sup>2</sup>I to improve these disadvantages. Under the proposed method, the inverter circuit works with 27 voltage vectors, thereby significantly improving the output voltage quality. In which, small vectors are used to insert the upper shoot through (UST) and lower shoot through (LST) states to enhance the shoot-through duty ratio. As a result, the voltage gain of the inverter circuit is significantly increased. Having high voltage gain leads to decrease component voltage rating, significantly. Moreover, small vectors are also selected appropriately to balance the neutral voltage. With this method, the inverter can improve system efficiency up to 2% compared to traditional method.

Besides increasing voltage gain and neutral voltage balance, common-mode voltage (CMV) is also one of the issues that need to be considered when developing inverter for grid-connected or motor control applications. In detail, CMV is the main cause of shaft voltage, leakage current, and electromagnetic interference (EMI) which affects the life of the motor as well as the safety of grid-connected systems. Therefore, reducing the amplitude of the CMV is very important to improve the operation of the inverter.

Based on the proposed method, the thesis continues to propose a CMV reduction method for the 3L-qSBT<sup>2</sup>I. Under this approach, vectors with large CMV are removed from the space vector diagram. In this way, the modified SVM method can reduce the peak amplitude of CMV to 50% compared to the previous method. As a result, the RMS value as well as the amplitude of the high frequency harmonics of the CMV are significantly reduced. Note that removing vectors with high CMV does not affect the output voltage because redundant vectors will be used instead of these vectors. Therefore, the proposed SVM method still maintains the output voltage quality equal to the previous method.



Next, the thesis proposes the SVM strategy for 3L-qSBT<sup>2</sup>I in the case of failure in semiconductor devices. The three main faults investigated are: 1) open-circuit fault (OCF) at the boost-side switch (F1), 2) OCF at the top or bottom switches of the inverter side (F2), 3) OCF at the bi-directional switches (F3). In which, the F1 and F2 are solved by introducing that the inverter operates like a the two-stage two-level inverter. Meanwhile, the inverter still maintains three-level operation with modified SVM method for the F3. In F3 fault-tolerant method, the faulty phase operates with two levels of output voltage, the other healthy phases work like as that in normal condition. These three methods can be extended to handle open-circuit and short-circuit faults at semiconductors and capacitors of Z source network. All three methods improve the voltage stress on components such as capacitors and semiconductor devices compared with the previously fault-tolerant methods. In particular, the proposed fault-tolerant method for F2 can reduce the amplitude of DC-link voltage by at least 50% compared to others. As a result, voltage stress on semiconductor devices of inverter side circuit is significantly improved.

## DANH SÁCH CÁC CHỮ VIẾT TẮT

NPC	Neutral point clamped
3L	Three-level
T <sup>2</sup> I	T type inverter
PWM	Pulse width modulation
SVM	Space vector modulation
ZSI	Z-source inverter
qZSI	quasi-Z-source inverter
qSBI	quasi-switched boost inverter
ST	Shoot-through
NST	Non shoot-through
FST	Full shoot-through
UST	Upper shoot-through
LST	Lower shoot-through
AIS	Active impedance source
TLB	Three-level boost
FFT	Fast Fourier transform
THD	Total harmonic distortion
OCF	Open-circuit fault
SCF	Short-circuit fault

## DANH SÁCH CÁC HÌNH

Hình 1.1. (a) Nghịch lưu nguồn Z, (b) nghịch lưu tựa nguồn Z, (c) cấu hình MZSI	9
Hình 1.2. Các cấu hình nghịch lưu ba bậc tựa khóa chuyển mạch.....	11
Hình 1.3. Mô tả về điện áp common-mode trong mạch nghịch lưu 3 bậc hình T.....	15
Hình 1.4. Cấu hình TLB-T <sup>2</sup> I .....	19
Hình 2.1. Cấu hình 3L-qSBT <sup>2</sup> I.....	22
Hình 2.2. Trạng thái P, O, N của mạch 3LT <sup>2</sup> I.....	23
Hình 2.3. Các chế độ hoạt động của 3L-qSBT <sup>2</sup> I (a) NST 1, (b) NST 2, (c) NST 3, (d) NST 4, (e) UST, (f) LST .....	23
Hình 2.4. Giảm đồ vector không gian cho giải thuật đề xuất .....	27
Hình 2.5. Ảnh hưởng của vector nhỏ dạng P và N lên điện áp trên các tụ điện (a) vector nhỏ dạng P [POO], (b) vector nhỏ dạng N [ONN] .....	29
Hình 2.6. Chuỗi xung được đề xuất cho vùng 2 sector I, UST, LST và xung kích cho khóa $S_P$ , $S_N$ của mạng nguồn kháng .....	32
Hình 2.7. Kết quả mô phỏng khi $V_{dc} = 210\text{-V}$ , tải RL $20\Omega - 20\text{mH}$ .....	36
Hình 2.8. Điều khiển vòng kín cho 3L-qSBT <sup>2</sup> I với giải thuật đề xuất.....	39
Hình 2.9. (a) $M$ và $G$ , (b) $G$ và điện áp rơi trên tụ điện, (c) $G$ và điện áp rơi trên diode, (d) $G$ và điện áp rơi trên khóa phía mạng nguồn kháng.....	41
Hình 2.10. Kết quả mô phỏng khi $V_{dc} = 70\text{-V}$ .....	46
Hình 2.11. Kết quả mô phỏng khi $V_{dc} = 210\text{-V}$ .....	46
Hình 2.12. Kết quả mô phỏng với $V_{dc} = 70\text{-V}$ và tải RL $10\Omega\text{-}85\text{mH}$ .....	47

Hình 2.13. Kết quả mô phỏng với $V_{dc} = 70\text{-V}$ và tải $RL\ 10\Omega\text{-}155\text{mH}$ .....	48
Hình 2.14. Kết quả mô phỏng cân bằng điện thế điểm trung tính với $V_{dc} = 70\text{-V}$ , và (a) tải $R = 56\text{-}\Omega$ , (b) tải $RL\ 10\ \Omega - 85\text{mH}$ .....	49
Hình 2.15. Mô hình thực tế .....	50
Hình 2.16. Kết quả của 3L-qSBT <sup>2</sup> I với giải thuật đề xuất và [20] khi $V_{dc} = 210\ \text{V}$ : (a), (c) phương pháp [20], (b), (d), (e), (f) phương pháp đề nghị .....	53
Hình 2.17. Kết quả thực nghiệm của 3L-qSBT <sup>2</sup> I với giải thuật đề xuất và [20] khi $V_{dc} = 70\ \text{V}$ : (a), (c) phương pháp [20], (b), (d), (e), (f) phương pháp đề nghị.....	54
Hình 2.18. Kết quả thí nghiệm với giải thuật cân bằng điện thế điểm trung tính khi (a), (b) $V_{CP} > V_{CN}$ , (c), (d) $V_{CP} < V_{CN}$ , trong đó: (a), (c) phương pháp [20], (b), (d) phương pháp đề xuất.....	55
Hình 2.19. Kết quả thực nghiệm khi điều khiển vòng kín: (a), (c) giải thuật [20], (b), (d) giải thuật đề xuất .....	56
Hình 2.20. So sánh hiệu suất giữa giải thuật đề xuất và giải thuật .....	57
Hình 3.1. Mạch 3L-qSBT <sup>2</sup> I .....	59
Hình 3.2. Chế độ hoạt động của 3L-qSBT <sup>2</sup> I: (a) NST 1, (b) NST 2, (c) NST 3, (d) NST 4, (e) UST, (f) LST. ....	60
Hình 3.3. Giảm đồ vector không gian cải tiến .....	63
Hình 3.4. Chuỗi xung cho vùng 2 của sector I.....	64
Hình 3.5. Điện áp cuộn dây $L_B$ trong mỗi chu kỳ sóng mang.....	67
Hình 3.6. Sơ đồ thực hiện giải thuật SVM cải tiến .....	69
Hình 3.7. So sánh giữa giải thuật đề xuất và các công bố trước đó.....	70

Hình 3.8. Mô phỏng với $V_{dc} = 200\text{-V}$ .....	74
Hình 3.9. Mô phỏng với $V_{dc} = 100\text{-V}$ .....	75
Hình 3.10. Kết quả mô phỏng cho phương pháp cân bằng điện thế điểm trung tính. ....	76
Hình 3.11. So sánh giữa phương pháp đề xuất và phương pháp [30]. (a) phương pháp [30], (b) phương pháp đề xuất.....	76
Hình 3.12. Khảo sát CMV của giải thuật đề xuất và giải thuật [30] với sự thay đổi của chỉ số điều chế. ....	77
Hình 3.13. Thực nghiệm với $V_{dc} = 200\text{-V}$ .....	78
Hình 3.14. Thực nghiệm với $V_{dc} = 100\text{-V}$ .....	79
Hình 3.15 Phổ FFT của dòng điện và điện áp dây ngõ ra.....	79
Hình 3.16 Kết quả thực nghiệm CMV của giải thuật đề xuất và [30]. (a) giải thuật [23], (b) giải thuật đề xuất.....	80
Hình 4.1. Cấu hình TLB- $T^2I$ .....	81
Hình 4.2. Giảm đồ vector không gian để sửa lỗi khóa $S_P$ hở mạch. ....	82
Hình 4.3. (a) Tín hiệu điều khiển của khóa $S_N$ , (b) chế độ 1, (c) chế độ 2.....	84
Hình 4.4. (a) Tín hiệu điều khiển của khóa $S_P$ , $S_N$ , (b) chế độ 1, (c) chế độ 2.....	86
Hình 4.5. Giảm đồ vector không gian cho giải thuật sửa lỗi khóa $S_{1A}$ .....	87
Hình 4.6. Giảm đồ vector không gian cho giải thuật sửa lỗi khóa $S_{2A}$ và $S_{3A}$ .....	88
Hình 4.7. Lưu đồ hoạt động của mạch TLB- $T^2I$ .....	92
Hình 4.8. So sánh giữa giải thuật đề xuất và giải thuật truyền thống: (a) G và điện áp trên tụ điện, (b) G và điện áp trên diode, (c) G và điện áp trên khóa $S_P/S_N$ , (d) G và điện áp trên khóa $S_{4X}$ phía nghịch lưu.....	96

Hình 4.9. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa $S_P$ .....	98
Hình 4.10. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa $S_{1A}$ ...	98
Hình 4.11. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa $S_{2A}$ & $S_{3A}$ .....	99
Hình 4.12. Mô hình thực nghiệm.....	100
Hình 4.13. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch $S_P$ .....	102
Hình 4.14. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch $S_{1A}$ .....	104
Hình 4.15. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch $S_{2A}$ và $S_{3A}$ .....	105
Hình 4.16. Phổ FFT của $V_{AB}$ . (a) trạng thái bình thường và khi sử dụng phương pháp đề xuất cho lỗi hở mạch tại (b) $S_P$ , (c) $S_{1A}$ , (d) $S_{2A}$ và $S_{3A}$ .....	106
Hình 4.17. Hiệu suất sửa mạch nghịch lưu.....	107

## DANH SÁCH CÁC BẢNG

Bảng 2.1. Trạng thái hoạt động của mạch 3L-qSBT <sup>2</sup> I. ( X = A, B, C).....	26
Hình 2.2. Thời gian tác dụng của sector I .....	29
Hình 2.3. Chuỗi xung và pha chèn UST/LST cho giải thuật đề xuất.....	33
Hình 2.4. So sánh giữa giải thuật đề xuất và các cấu hình và giải thuật đã công bố.....	43
Hình 2.5. Thông số thực nghiệm .....	45
Hình 2.6. So sánh giữa giải thuật đề nghị và [20].....	51
Bảng 3.1. Trạng thái hoạt động của mạch 3L-qSBT <sup>2</sup> I. ( X = A, B, C).....	61
Bảng 3.2. CMV của mạch 3L-qSBT <sup>2</sup> I .....	61
Bảng 3.3. Chuỗi chuyển mạch của phương pháp SVM đề xuất .....	65
Bảng 3.4. So sánh tổng quát .....	70
Bảng 3.5. Thông số mô phỏng và thực nghiệm .....	72
Bảng 4.1. So sánh giữa giải thuật đề xuất và các cấu hình và giải thuật đã công bố.....	93
Bảng 4.2 Thông số thực nghiệm .....	97
Bảng 4.3. Điện áp của tụ điện và THD điện áp dây ngõ ra .....	101

# MỤC LỤC

Quyết định giao đề tài	
Lý lịch khoa học.....	i
Lời cam đoan .....	vii
Lời cảm ơn .....	viii
Tóm tắt.....	ix
Danh sách các chữ viết tắt .....	xv
Danh sách các hình.....	xvi
Danh sách các bảng .....	xx
Mục lục.....	xxi
<b>Mở đầu</b> .....	1
1. Lý do chọn đề tài.....	1
2. Mục tiêu nội dung của luận án .....	4
3. Nhiệm vụ nghiên cứu.....	4
4. Đối tượng và phạm vi nghiên cứu .....	5
5. Hướng tiếp cận và phương pháp nghiên cứu.....	5
5.1. Hướng tiếp cận.....	5
5.2. Phương pháp nghiên cứu .....	5
6. Ý nghĩa thực tiễn của luận án .....	6
7. Bố cục của luận án .....	7



<b>Chương 1: Tổng quan</b> .....	9
1.1. Tổng quan giải thuật tăng cường độ lợi điện áp và cân bằng điện áp trung tính ....	9
1.2. Tổng quan giải thuật giảm điện áp common-mode cho cấu hình nghịch lưu một tầng .....	14
1.3. Tổng quan giải thuật xử lý sự cố hở mạch.....	16
1.4. Kết luận chương 1 .....	20
<b>Chương 2: Giải thuật SVM đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I</b> .....	22
2.1. Cấu hình 3L-qSBT <sup>2</sup> I .....	22
2.2. Giải thuật điều chế vector không gian đề xuất .....	27
2.2.1. Tính toán thời gian tác dụng .....	28
2.2.2. Lựa chọn chuỗi xung để cân bằng điện thế điểm trung tính .....	29
2.2.3. Phân tích trạng thái xác lập .....	34
2.2.4. Giới hạn của hệ số công suất tải khi sử dụng giải thuật đề xuất.....	36
2.2.5. Lựa chọn linh kiện cho cấu hình 3L-qSBT <sup>2</sup> I .....	38
2.2.5.1. Lựa chọn cuộn dây và tụ điện. ....	38
2.2.5.2. Lựa chọn linh kiện bán dẫn.. ....	38
2.2.6. Điều khiển vòng kín cho 3L-qSBT <sup>2</sup> I .....	39
2.3. So sánh giải thuật đề xuất và các nghiên cứu đã công bố .....	41
2.4. Mô phỏng và thực nghiệm với giải thuật SVM đề xuất .....	45
2.4.1 Kết quả mô phỏng .....	45

2.4.2 Kết quả thực nghiệm.....	50
2.5. Kết luận chương 2.....	58
<b>Chương 3: Giải thuật đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I nhằm giảm điện áp COMMON-MODE .....</b>	<b>59</b>
3.1. Cấu hình 3L-qSBT <sup>2</sup> I .....	59
3.2. Giải thuật giảm CMV đề xuất cho cấu hình 3L-qSBT <sup>2</sup> I.....	61
3.2.1. Tính toán thời gian tác dụng và lựa chọn thứ tự chuyển mạch.....	63
3.2.2. Phân tích trạng thái xác lập .....	66
3.2.3. Cân bằng điện thế điểm trung tính .....	68
3.2.4. Sơ đồ thực hiện giải thuật SVM cải tiến .....	69
3.3. So sánh giữa giải thuật đề xuất và các giải thuật trước đó .....	70
3.4. Kết quả mô phỏng và thực nghiệm .....	72
3.4.1. Kết quả mô phỏng .....	72
3.4.2. Kết quả thực nghiệm .....	78
3.5. Kết luận chương 3 .....	80
<b>Chương 4: Giải thuật đề xuất cho cấu hình TLB-T<sup>2</sup>I nhằm khắc phục sự cố tại các khóa công suất .....</b>	<b>81</b>
4.1. Phương pháp xử lý lỗi cho cấu hình TLB-T <sup>2</sup> I .....	82
4.1.1. Phương pháp xử lý lỗi hở mạch cho khóa S <sub>P</sub> .....	82
4.1.2. Phương pháp xử lý lỗi hở mạch cho khóa S <sub>1A</sub> .....	85
4.1.3. Phương pháp xử lý lỗi hở mạch cho khóa S <sub>2A</sub> và S <sub>3A</sub> .....	88

4.1.4. Phương pháp xử lý một số sự cố khác .....	90
4.1.5. Lưu đồ xử lý sự cố của TLB-T <sup>2</sup> I .....	91
4.2. So sánh giữa giải thuật đề xuất và giải thuật truyền thống .....	92
4.3. Mô phỏng và thực nghiệm với giải thuật đề xuất .....	97
4.3.1. Kết quả mô phỏng .....	97
4.3.1. Kết quả mô phỏng .....	97
4.3.2. Kết quả thực nghiệm.....	100
4.3.2.1. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S <sub>P</sub> .....	101
4.3.2.2. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S <sub>1A</sub> .....	103
4.3.2.3. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S <sub>2A</sub> và S <sub>3A</sub> .....	105
4.3.2.4. Hiệu suất của mạch nghịch lưu .....	107
4.4. Kết luận chương 4 .....	108
<b>Chương 5: Kết luận và hướng phát triển</b> .....	109
5.1. Kết luận .....	109
5.2. Hạn chế và hướng phát triển của luận án .....	109
<b>Danh mục các bài báo đã công bố trong quá trình đào tạo nghiên cứu sinh</b> .....	111
<b>Tài liệu tham khảo</b> .....	114

# MỞ ĐẦU

## 1. Lý do chọn đề tài

Ngày nay, dưới tác động của của hiện tượng nóng lên toàn cầu, các nguồn năng lượng tái tạo ngày càng được chú trọng phát triển. Các nguồn năng lượng mới có thể kể đến như: năng lượng mặt trời, năng lượng địa nhiệt, năng lượng gió, năng lượng thủy triều, v.v... Trong các nguồn năng lượng này, năng lượng mặt trời được sử dụng khá rộng rãi vì những ưu điểm như: dễ dàng lắp đặt từ quy mô lớn như các khu công nghiệp, các ruộng pin năng lượng mặt trời đến quy mô nhỏ như năng lượng mặt trời áp mái ở các hộ gia đình, không yêu cầu khắc khe về điều kiện hoạt động như các loại năng lượng khác, v.v... Hệ thống pin năng lượng mặt trời có ngõ ra tồn tại dưới dạng nguồn áp, do đó, nhằm khai thác được các nguồn năng lượng này, các bộ nghịch lưu nguồn áp được sử dụng để chuyển đổi năng lượng một chiều từ các tấm pin thành năng lượng xoay chiều một pha hoặc ba pha phù hợp với các thiết bị điện dân dụng cũng như công nghiệp hiện nay. Ngoài việc cung cấp năng lượng cho các tải xoay chiều, năng lượng của các tấm pin có thể được xem xét hòa vào lưới điện quốc qua nhằm truyền tải đến các địa điểm tiêu thụ điện.

Bên cạnh việc phát triển của các nguồn năng lượng tái tạo, các phương tiện vận tải sử dụng điện cũng được chú trọng phát triển để thay thế cho các phương tiện sử dụng xăng, dầu truyền thống nhằm làm giảm lượng CO<sub>2</sub> phát thải ra môi trường. Một trong những cấu trúc quan trọng trong hệ thống xe điện là hệ thống động cơ điện được điều khiển thông qua bộ nghịch lưu. Trong hệ thống này, năng lượng được tích trữ từ hệ thống pin sẽ được nghịch lưu thành năng lượng xoay chiều ba pha nhằm điều khiển tốc độ của động cơ điện. Mặc dù các bộ nghịch lưu hiện tại hầu như đáp ứng được các yêu cầu đặt ra cho các ứng dụng từ dân dụng cho đến công nghiệp, tuy nhiên, các bộ nghịch lưu này còn tồn tại một vài vấn đề cần được cải thiện như sau: khả năng tăng/giảm áp, dòng rò của hệ thống, và tính ổn định của hệ thống.

Vì các ưu điểm của bộ nghịch lưu ba bậc so với các bộ nghịch lưu hai bậc như: hiệu suất cao, sử dụng linh kiện có điện áp định mức thấp, mạch nghịch lưu đa bậc đặc biệt là bộ nghịch lưu ba bậc hình T ngày càng được sử dụng rộng rãi. Thông thường điện áp ngõ ra của bộ nghịch lưu phải đạt được cấp điện áp phổ thông 110V/190V hoặc 220V/380V. Tuy nhiên, trong các trường hợp điện áp một chiều ngõ vào có giá trị thấp hơn biên độ đỉnh-đỉnh của điện áp xoay chiều ngõ ra, các bộ nghịch lưu nguồn áp truyền thống không thể tạo ra được điện áp ngõ ra mong muốn. Giải pháp truyền thống cho các trường hợp ngõ vào điện áp thấp là sử dụng các bộ chuyển đổi DC-DC phía trước bộ nghịch lưu. Các cấu hình này được gọi là các bộ nghịch lưu hai tầng. Khi này, điện áp thấp từ nguồn DC ngõ vào được tăng cường trước khi cấp cho bộ nghịch lưu nguồn áp. Tuy nhiên, phương pháp điều khiển hệ thống sẽ trở nên phức tạp hơn. Ngoài ra, trạng thái trùng dẫn xảy ra khi các khóa bán dẫn trên cùng một pha phía nghịch lưu được kích đóng cùng lúc là không được phép trong các mạch nghịch lưu dạng này. Trạng thái trùng dẫn này có thể dẫn đến việc phá hủy hệ thống nếu trạng thái này tồn tại đủ lâu. Ngoài ra, hệ số tăng áp thấp của cấu trúc DC-DC truyền thống cũng là một nhược điểm còn tồn tại của các bộ nghịch lưu dạng này. Do đó, các bộ nghịch lưu một tầng được xem xét thay thế cho các bộ nghịch lưu hai tầng truyền thống nhằm đem đến các ưu điểm như: hoạt động tăng/giảm áp, cải thiện hệ số tăng áp, chống lại hiện tượng trùng dẫn từ đó tăng cường tính ổn định của hệ thống. Mặc dù đã trải qua khoảng thời gian dài phát triển (từ năm 2003 đến nay) các bộ nghịch lưu một tầng và giải thuật điều khiển truyền thống vẫn còn một vài hạn chế như: hệ số tăng áp thấp, mất cân bằng điện thế điểm trung tính, điện áp đặt trên các linh kiện cao. Ngoài ra, dòng rò của hệ thống chủ yếu được sinh ra từ điện áp common-mode cũng là một vấn đề cần được quan tâm trong các bộ nghịch lưu.

Do được cấu tạo từ các khóa bán dẫn cũng như các tụ điện công suất, nên các bộ nghịch lưu phải đối mặt với các sự cố của các linh kiện công suất này. Các linh kiện bán dẫn thường xảy ra hai loại sự cố chính là: sự cố ngắn mạch và sự cố hở mạch. Sự

cổ ngắn mạch thường rất nghiêm trọng, và có thể dẫn đến việc phá hủy hệ thống nếu sự cố xảy ra trong thời gian dài. Do đó, các hệ thống thường được tạm dừng hoạt động vì lý do an toàn khi sự cố ngắn mạch được phát hiện. Khác với sự cố ngắn mạch, sự cố hở mạch thường ít nghiêm trọng hơn. Sự cố này thường dẫn đến việc suy giảm chất lượng điện năng ngõ ra của bộ nghịch lưu. Với các phương pháp thích hợp các sự cố hở mạch có thể được khắc phục một phần hoặc hoàn toàn. Hệ thống có thể tiếp tục cung cấp năng lượng cho tải công suất trong trạng thái lỗi hở mạch. Hai phương pháp chính được sử dụng để giải quyết sự cố hở mạch là: sử dụng nhánh dự phòng, sử dụng giải thuật điều khiển thích hợp. So với phương pháp sử dụng nhánh dự phòng, phương pháp sử dụng giải thuật vẫn tỏ ra vượt trội trong việc không yêu cầu thêm các linh kiện bán dẫn. Tuy nhiên, trong trạng thái lỗi hở mạch, phương pháp sử dụng giải thuật làm suy giảm biên độ điện áp ngõ ra. Do đó, các bộ chuyển đổi DC-DC hoặc mạch nghịch lưu một tầng được xem xét trong trạng thái sự cố nhằm phục hồi biên độ dòng điện ngõ ra. Khi này, điện áp DC-link của bộ nghịch lưu được tăng cường ít nhất gấp hai lần so với trạng thái bình thường để đảm bảo điện áp ngõ ra. Tuy nhiên, điều này làm gia tăng điện áp đặt trên các khóa bán dẫn của bộ nghịch lưu. Điện áp đặt lớn trực tiếp dẫn đến việc gia tăng chi phí và sự khó khăn trong quá trình thiết kế lựa chọn linh kiện. Ngoài ra, sự cố hở mạch cũng như ngắn mạch xảy ra trên tụ điện cũng chưa được xem xét cẩn thận trong các giải thuật trước đó.

Từ các lập luận trên, trong đề tài: **“NGHIÊN CỨU BỘ NGHỊCH LƯU TĂNG ÁP BA BẬC HÌNH T TRONG TRẠNG THÁI BÌNH THƯỜNG VÀ SỰ CỐ HỞ MẠCH KHÓA CÔNG SUẤT”**, nghiên cứu sinh đề xuất giải thuật điều chế độ rộng xung vector không gian cho bộ nghịch lưu ba bậc hình T tựa khóa chuyển mạch (Three-level quasi-switched boost T-type inverter - 3L-qSBT<sup>2</sup>I) nhằm giải quyết các vấn đề sau: 1) trong trạng thái bình thường giải thuật đề xuất giúp tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính, 2) dựa trên giải thuật đề xuất, một giải thuật giảm điện áp common-mode được đề xuất, 3) đề xuất giải thuật xử lý sự cố hở

mạch tại các khóa bán dẫn cũng như tụ điện của bộ nghịch lưu. Với giải thuật đề xuất, điện áp đặt trên các tụ điện và các khóa bán dẫn được giảm đáng kể khi so sánh với các nghiên cứu trước đó. Điều này giúp cải thiện đáng kể hiệu suất cũng như làm cho quá trình tính toán thiết kế và lựa chọn linh kiện trở nên dễ dàng hơn. Các công thức trong trạng thái xác lập được phân tích và kiểm chứng bằng mô phỏng dùng phần mềm PSIM và thực nghiệm.

## **2. Mục tiêu và nội dung của luận án.**

- Xây dựng giải thuật khiển cấu hình nghịch lưu một tầng nhằm giải quyết các vấn đề sau: 1) cải thiện độ lợi điện áp, 2) tăng cường tỉ số điều chế, 3) cân bằng điện thế điểm trung tính.
- Xây dựng giải thuật giảm điện áp common-mode dựa trên giải thuật đã nghiên cứu trước đó. Theo đó biên độ đỉnh-đỉnh và giá trị hiệu dụng của điện áp common-mode được cải thiện so với giải thuật trước đó.
- Xây dựng giải thuật xử lý sự cố hở mạch khóa công suất và các tụ điện. Theo đó, điện áp đặt trên các linh kiện trong trạng thái lỗi được cải thiện so với các nghiên cứu trước đó.

## **3. Nhiệm vụ nghiên cứu**

- Đầu tiên, các cấu hình nghịch lưu một tầng và giải thuật điều khiển trong trạng thái bình thường và trạng thái xảy ra sự cố được nghiên cứu sinh khảo sát nhằm đem đến cái nhìn khách quan và tổng quát về tình hình nghiên cứu.
- Từ đó, nghiên cứu sinh tiến hành đề xuất giải thuật giúp cải thiện độ lợi điện áp và cân bằng điện thế điểm trung tính cho cấu hình nghịch lưu một tầng hình T.
- Dựa trên giải thuật cải thiện độ lợi điện áp này, nghiên cứu sinh tiến hành đề xuất giải thuật giảm điện áp common-mode cho bộ nghịch lưu.
- Tiếp theo, nghiên cứu sinh tiến hành đề xuất giải thuật xử lý sự cố hở mạch khi

sự cố xảy ra tại một hoặc nhiều khóa bán dẫn cũng như khi sự cố xảy ra tại tụ điện.

- Các giải thuật đề xuất được kiểm chứng bằng phần mềm mô phỏng và mô hình thực nghiệm.

#### **4. Đối tượng và phạm vi nghiên cứu**

- Các cấu hình nghịch lưu một tầng.
- Kỹ thuật điều chế độ rộng xung vector không gian.
- Các tiêu chí đánh giá độ ổn định, hiệu suất của các bộ nghịch lưu.
- Mô hình mạch nghịch lưu với công suất 1kW và tải ba pha thuần trở.

#### **5. Hướng tiếp cận và phương pháp nghiên cứu**

##### **5.1 Hướng tiếp cận**

Hướng tiếp cận thông qua tài liệu: nghiên cứu sinh tiếp cận các cấu hình mạch nghịch lưu một tầng thông qua các nghiên cứu được công bố trên thư viện điện tử IEEE Explore và các luận văn thạc sĩ, luận án tiến sĩ trong và ngoài nước nhằm có được cái nhìn tổng quan về tình hình nghiên cứu, những ưu và nhược điểm của các công bố trước đó. Từ đó, đề xuất giải thuật nhằm khắc phục các nhược điểm này.

Hướng tiếp cận từ mô phỏng và thực nghiệm: các mô hình mô phỏng và thực nghiệm được nghiên cứu sinh xây dựng trên phần mềm PSIM và thực tế nhằm đánh giá, so sánh giải thuật đề xuất với các nghiên cứu trước đó. Từ đó có được cái nhìn khách quan về những ưu và nhược điểm của giải thuật đề xuất.

##### **5.2 Phương pháp nghiên cứu**

Dựa trên mục tiêu nghiên cứu của luận án, một số phương pháp nghiên cứu có thể được áp dụng trong quá trình thực hiện luận án có thể kể đến như sau:

- Phương pháp phân tích: phương pháp này được thực hiện dựa trên các kiến thức nền tảng của các công bố trước đó về mạch nghịch lưu một tầng nhằm đưa ra các



công thức toán học có liên quan về độ lợi điện áp, điện áp tụ, v.v... Ngoài ra, các trạng thái hoạt động, các quá trình nạp xả của tụ điện và cuộn dây cũng được xem xét nhằm đem đến cái nhìn khoa học cho đối tượng cần nghiên cứu.

- Phương pháp mô phỏng: tiến hành mô phỏng các lý thuyết được phân tích bằng các phần mềm chuyên dụng như MATLAB, PSIM nhằm bước đầu kiểm chứng các phân tích đã nêu ra.
- Phương pháp thực nghiệm: mạch nghịch lưu có công suất nhỏ cùng với các thiết bị đo thích hợp được sử dụng để kiểm chứng các lý thuyết và kết quả mô phỏng đã đạt được.
- Phương pháp thống kê và so sánh: phương pháp này chủ yếu được sử dụng để thống kê các kết quả đạt được (có thể có quy luật và không có quy luật) và so sánh với các công bố trước đó nhằm tăng cường tính thuyết phục cho luận án.

## **6. Ý nghĩa thực tiễn của luận án**

Mạch nghịch lưu với các giải thuật đề xuất có thể đạt được những ưu điểm sau: 1) tăng cường độ lợi điện áp, 2) cân bằng điện thế điểm trung tính, 3) giảm điện áp common-mode, 4) duy trì hoạt động của hệ thống trong điều kiện xảy ra sự cố hở mạch tại các khóa công suất cũng như các tụ điện. Lợi ích của những ưu điểm này được trình bày cụ thể như sau:

1) Tăng cường độ lợi điện áp giúp cho bộ nghịch lưu sử dụng hệ số trùng dẫn thấp hơn các bộ nghịch lưu khác từ đó giảm đáng kể tổn hao dẫn của toàn hệ thống. Sự suy giảm này là nguyên nhân chính giúp cho bộ nghịch lưu cải thiện được hiệu suất so với các bộ nghịch lưu nguồn Z tương tự. Ngoài ra, hệ số trùng dẫn thấp có thể cải thiện kích thước yêu cầu của cuộn dây tăng áp phía mạng nguồn kháng. Từ đó, làm giảm kích thước của cuộn dây trong quá trình thiết kế và giảm kích thước của toàn hệ thống. Độ lợi điện áp cao giúp cho bộ nghịch lưu sử dụng điện áp DC-link phía nghịch lưu thấp hơn các cấu hình trước đó. Đây là nguyên nhân chính giúp giảm điện áp stress

trên các linh kiện. Ưu điểm này giúp cho quá trình thiết kế lựa chọn linh kiện cải thiện về giá cả và tăng cường độ tin cậy của hệ thống.

2) Điện áp trung tính được cân bằng giúp cải thiện tổng độ méo dạng (total harmonic distortion - THD) dòng điện ngõ ra so với các giải thuật trước đó. Ưu điểm này trực tiếp làm giảm kích thước của bộ lọc ngõ ra của bộ nghịch lưu. Từ đó làm giảm kích thước, giá thành và tổn hao của toàn hệ thống.

3) Giảm điện áp common-mode trực tiếp giúp cho hệ thống giảm dòng rò đối với các ứng dụng đặt biệt như hòa lưới hoặc điều khiển động cơ. Ngoài ra, giảm điện áp common-mode giúp cho hệ thống giảm được các nhiễu điện từ (EMI). Điều này giúp cải thiện tính ổn định cũng như giảm biên độ các xung điện áp trên các linh kiện bán dẫn xuất hiện trong quá trình chuyển mạch.

4) Xử lý sự cố hở mạch của các linh kiện bán dẫn và tụ điện giúp tăng cường độ tin cậy của hệ thống. Đối với một vài ứng dụng quan trọng như y tế, ngân hàng, giao thông, hệ thống có thể duy trì việc cung cấp năng lượng trong điều kiện sự cố có thể làm giảm đáng kể các thiệt hại về người và tài sản.

Từ các ưu điểm trên, bộ nghịch lưu với những giải thuật đề xuất thích hợp với các ứng dụng như hệ thống nguồn dự phòng (UPS), ứng dụng năng lượng mặt trời hòa lưới, v.v...

## **7. Bố cục của luận án**

Bố cục của luận án gồm 5 chương được liệt kê như sau:

Chương 1: Tổng quan.

Trong chương này, tổng quan về tình hình nghiên cứu các bộ nghịch lưu nguồn Z, các giải thuật giảm điện áp common-mode và các giải thuật xử lý sự cố hở mạch của các linh kiện bán dẫn được trình bày.

Chương 2: Giải thuật vector không gian đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính.

Trong chương này, giải thuật vector không gian nhằm tăng cường độ lợi điện áp và

cân bằng điện áp trên các tụ điện được đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I. Các phân tích về cách lựa chọn các vector thành phần và tính toán thời gian tác dụng cũng như phân tích mạch trong trạng thái ổn định sẽ được trình bày cụ thể. Các kết quả thực nghiệm cũng được trình bày trong chương này nhằm kiểm chứng các phân tích đã nêu ra.

Chương 3: Giải thuật vector không gian đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I giảm điện áp common-mode.

Dựa trên giải thuật vector không gian trình bày ở chương 3, giải thuật giảm điện áp common-mode được phát triển. Các ưu điểm của giải thuật trước đó về 1) độ lợi điện áp cao, 2) THD điện áp dây ngõ ra thấp, và 3) cân bằng điện thế điểm trung tính vẫn có thể đạt được đối với giải thuật này. Các kết quả thực nghiệm sẽ được trình bày nhằm so sánh điện áp common-mode giữa giải thuật đề xuất và giải thuật trước đó.

Chương 4: Giải thuật xử lý sự cố hở mạch khóa công suất.

Các trường hợp sự cố tại khóa công suất cũng như tại các tụ điện sẽ được thảo luận trong chương này. Các giải thuật tương ứng nhằm khắc phục các sự cố này cũng được trình bày cụ thể nhằm duy trì tính liên tục trong hoạt động của bộ nghịch lưu. Các kết quả thực nghiệm sẽ được trình bày giúp kiểm chứng hoạt động của các giải thuật đề xuất cho các sự cố tương ứng.

Chương 5: Kết luận.

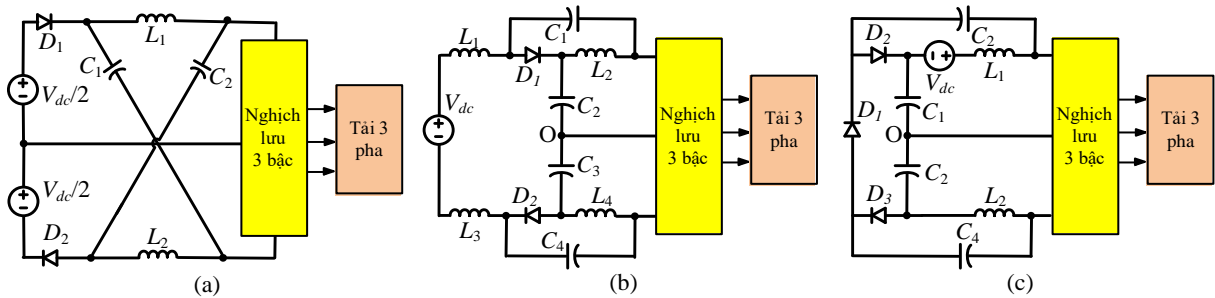
Những kết quả đạt được cũng như hướng phát triển trong tương lai của luận án được thảo luận trong chương này.

# Chương 1

## TỔNG QUAN

Trong chương này, tổng quan tình hình nghiên cứu về các bộ nghịch lưu nguồn Z trong trạng thái bình thường và các giải thuật xử lý sự cố hở mạch khóa công suất đã công bố được trình bày một cách cụ thể. Đặc biệt, trong trạng thái bình thường, hai nhóm nghiên cứu chính sẽ được khảo sát: 1) tổng quan giải thuật tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính, và 2) tổng quan giải thuật giảm điện áp common-mode cho cấu hình nghịch lưu một tầng.

### 1.1 Tổng quan giải thuật tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính.



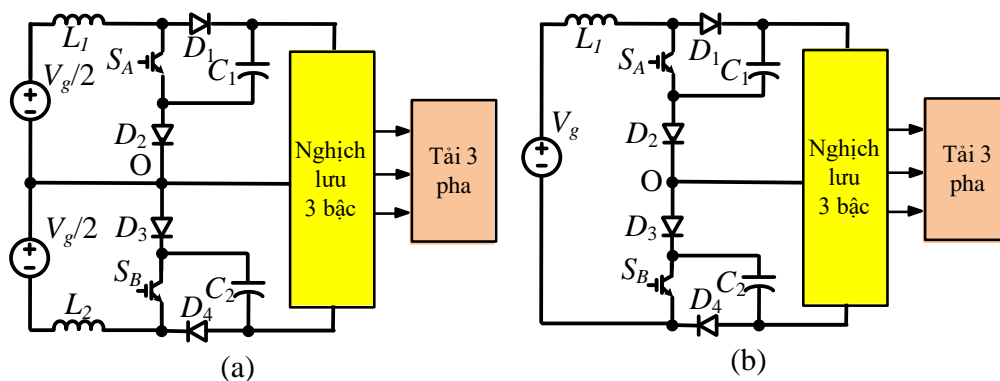
Hình 1.1 (a) Nghịch lưu nguồn Z, và (b) nghịch lưu tựa nguồn Z, (c) cấu hình MZSI.

Trong thời gian gần đây, mạch nghịch lưu nguồn Z (Z-source (ZS) inverter – ZSI), hình 1.1(a), và cấu hình nghịch lưu tựa nguồn Z (quasi-Z-source (qZS) inverter – qZSI), hình 1.1(b), được ứng dụng khá phổ biến cho các cấu trúc nghịch lưu ba pha ba bậc với các ưu điểm có thể kể đến như: chống lại hiện tượng trùng dẫn (shoot-through – ST) và hoạt động ở chế độ tăng-giảm áp [1]-[3]. Trong các cấu trúc nghịch lưu này, trạng thái ST được tạo ra bằng cách kích đóng tất cả các khóa của mạch nghịch lưu đồng thời. Vì trạng thái này được cho phép sử dụng chung với các trạng thái cơ bản của mạch nghịch lưu trong các cấu hình nghịch lưu một tầng nên tính ổn định và độ tin cậy của hệ thống được gia tăng một cách đáng kể [4], [5]. Bởi vì các ưu điểm này, các

cấu hình ZSI và qZSI ngày càng được sử dụng cho các ứng dụng công nghiệp mà chủ yếu là các mạch nghịch lưu hòa lưới trong các hệ thống năng lượng mặt trời (photovoltaic – PV) [6], [7].

Nhằm cung cấp năng lượng cho các mạch nghịch lưu ba bậc truyền thống, các cấu trúc ZS và qZS được sửa đổi và kết hợp một cách thích hợp. Trong các nghiên cứu [8]-[10], hai mạng ZS được ghép tầng với nhau để cấp nguồn cho mạch nghịch lưu ba bậc. Hai mạng này được cung cấp từ hai nguồn một chiều riêng biệt hoặc từ một nguồn một chiều có điểm giữa. Xuất phát từ công bố [8] – [10], sự kết hợp giữa một mạng ZS và một nguồn DC có điểm giữa được đề xuất nhằm cung cấp ba bậc điện áp cung cấp cho mạch điện phía nghịch lưu với số lượng linh kiện thấp nhất [11] – [13], như biểu diễn ở hình 1.1(a). Sự kết hợp này được thực hiện chủ yếu từ sự đối xứng của cấu trúc ZS. Ngoài ra, so sánh với cấu hình ZS truyền thống, một diode cũng được thêm vào nhằm đảm bảo tính đối xứng của cấu trúc này. Tuy nhiên, cấu hình ZS có dòng điện ngõ vào gián đoạn vì sử dụng các diode ngõ vào, điều này làm gia tăng dòng điện stress trên nguồn DC ngõ vào. Trong nghiên cứu [14], một cấu hình ZSI cải tiến (modified ZSI – MZSI), như biểu diễn ở hình 1.1(c), được đề xuất nhằm khắc phục tính gián đoạn của dòng điện ngõ vào. Cấu hình này sử dụng thêm hai tụ điện và một diode so với cấu hình ZSI.

So sánh với cấu hình ZSI, cấu hình qZSI có ưu điểm trong việc tạo ra dòng điện ngõ vào liên tục và làm giảm được đáng kể điện áp rơi trên các tụ điện. Tương tự như ZSI, cấu hình qZSI cũng được xem xét kết hợp với các mạch nghịch lưu ba pha ba bậc truyền thống nhằm sử dụng các ưu điểm của các mạch nghịch lưu đa bậc như chất lượng điện áp ngõ ra tốt, ít nhiễu điện từ, v.v... [7], [15] – [17]. Khác với cấu hình ZS, cấu hình qZS không đối xứng. Do đó, hai mạng qZS được ghép tầng với nhau để cung cấp điện áp cho mạch nghịch lưu ba bậc, như biểu diễn ở hình 1.1(b). Một nguồn DC có điểm giữa được kết nối phía ngõ vào cho cấu hình qZSI trong [17]. Trong [7], [15] và [16], một nguồn DC duy nhất và không có điểm giữa được kết nối với mạch qZSI.



Hình 1.2. Các cấu hình nghịch lưu ba bậc tựa khóa chuyển mạch.

Nhìn chung, các cấu hình nghịch lưu một tầng dạng thụ động với các đại điện là cấu hình ZSI và qZSI vẫn còn tồn tại khá nhiều khuyết điểm trong việc sử dụng nhiều linh kiện thụ động như cuộn dây và tụ điện làm tăng đáng kể chi phí và làm giảm mật độ công suất của hệ thống. Ngoài ra, hệ số tăng áp của các cấu hình dạng thụ động chỉ phụ thuộc vào hệ số trùng dẫn phía nghịch lưu, từ đó làm giảm tính linh hoạt trong điều khiển. Dòng điện ngõ vào không liên tục hoặc có độ gợn sóng dòng điện cao cũng là một trong những khuyết điểm khá lớn của các cấu hình dạng này. Gần đây, cấu hình nghịch lưu tựa khóa chuyển mạch (quasi-switched boost (qSB) inverter – qSBI) được giới thiệu nhằm khắc phục các hạn chế còn tồn tại của các cấu hình nghịch lưu một tầng truyền thống [18]. Cấu hình này sử dụng thêm một diode và một khóa bán dẫn so với cấu hình ZSI và qZSI. Tuy nhiên, qSBI tiết kiệm hơn một cuộn dây và một tụ điện so với các cấu hình thụ động. Trong nghiên cứu [19], cấu hình ba pha ba bậc dạng diode kẹp (neutral-point clamped inverter – NPCI) được đề xuất kết hợp với cấu trúc qSB, như biểu diễn ở hình 1.2(a). Tương tự như cấu hình qZSI, cấu hình qSB không đối xứng. Do đó, hai mạng qSB được ghép tầng với nhau nhằm cung cấp ba bậc điện áp cho mạch NPCI. Cấu hình này được cung cấp từ một nguồn DC có điểm giữa. Các nghiên cứu [20]-[22] đã giới thiệu các cấu hình qSBI mới nhằm giảm số lượng linh kiện được sử dụng trong mạng nguồn kháng so với nghiên cứu [19], như biểu diễn ở hình 1.2(b). Các nghiên cứu này đem đến các lợi ích có thể kể đến như: 1) cải thiện

được độ lợi của mạch nghịch lưu, 2) cải thiện độ gợn sóng dòng điện của cuộn cảm, 3) cân bằng được điện áp trung tính.

Mặc dù có khá nhiều ưu điểm, tuy nhiên, vẫn có các ý kiến trái chiều về tính khả thi của các mạch nghịch lưu một tầng so với các mạch nghịch lưu hai tầng truyền thống. Rất nhiều các nghiên cứu đã tiến hành so sánh hai cấu hình này như [23], [24]. Gần đây, một thiết kế tối ưu của cấu hình một pha ba bậc qZSI được trình bày trong [25] chứng minh tính khả thi của các cấu hình nghịch lưu một tầng. Trong nghiên cứu này, hai mạng qZS được ghép tầng với nhau nhằm cấp nguồn cho một mạch nghịch lưu 1 pha 3 bậc dạng diode kẹp trong ứng dụng nối lưới sử dụng PV. Hiệu suất chuyển đổi đạt được 97% chứng minh rằng nếu được thiết kế một cách tối ưu các bộ nghịch lưu một tầng cũng có thể đạt được hiệu suất tương đương các bộ nghịch lưu hai tầng truyền thống sử dụng mạch DC-DC.

Trong các mạch nghịch lưu một tầng, hai vấn đề chính cần được đặc biệt quan tâm là: độ lợi điện áp và sự cân bằng điện áp trên các tụ điện, bởi vì chúng là nguyên nhân trực tiếp ảnh hưởng đến điện áp đặt trên các linh kiện, hiệu suất chuyển đổi và chất lượng điện áp ngõ ra. Có rất nhiều nghiên cứu tập trung vào việc tăng cường độ lợi điện áp cũng như hệ số tăng áp cho mạch nghịch lưu một tầng như [14], [20] – [22]. Trong các cấu hình này, hệ số tăng áp phụ thuộc vào hệ số công tác của trạng thái ST. Thông thường, để không ảnh hưởng đến hoạt động của các vector tích cực, trạng thái ST được chèn vào các vector không nhằm tăng cường điện áp trên thanh cái (DC-link). Trạng thái này được gọi là trùng dẫn toàn phần (full-ST – FST). Ngoài ra, trong một số cấu hình, trạng thái trùng dẫn nửa trên (upper-ST – UST) và trùng dẫn nửa dưới (lower-ST – LST) cũng được xem xét để thay thế cho trạng thái FST. Khác với trạng thái FST, các trạng thái UST và LST được xem xét để chèn vào các vector nhỏ thay vì vector không. Nghiên cứu [14] đã tăng cường hệ số tăng áp lên gấp hai lần các cấu hình nghịch lưu một tầng truyền thống [1], [3], [4], [7]-[13], [15]-[17], bằng cách sử dụng UST và LST. So sánh với nghiên cứu [14], một giá trị tương tự cho hệ số tăng áp

cũng đã đạt được trong nghiên cứu [20] – [22].

Đối với vấn đề cân bằng điện áp trên các tụ điện, có hai phương pháp chính đã được áp dụng: 1) sử dụng phương pháp điều chế độ rộng xung thích hợp hoặc sử dụng các bộ điều khiển vòng kín, 2) sử dụng cấu hình có khả năng tự cân bằng điện áp trên các tụ điện. Có khá nhiều công bố sử dụng phương án 1 cho việc cân bằng điện thế điểm trung tính [13] – [15], [20], [26] – [29]. Phương pháp điều chế vector không gian ảo được đề xuất trong nghiên cứu [26] – [29] được xem như một trong những giải pháp cân bằng không sử dụng cảm biến điện áp. Ý tưởng chính của các nghiên cứu này là việc tạo ra giá trị trung bình của dòng điện trung tính bằng không trong mỗi chu kỳ chuyển mạch, từ đó cân bằng được điện áp trung tính. Tuy nhiên, các nghiên cứu này không xem xét đến ảnh hưởng của mạch nguồn kháng và hoạt động tăng/giảm áp lên vấn đề mất cân bằng điện áp trên các tụ điện. Do đó, nghiên cứu này khó có thể ứng dụng cho các cấu trúc nghịch lưu một tầng. Gần đây, các nghiên cứu [13] – [15], [20] đã trình bày các phương pháp cân bằng điện áp trên các tụ điện cho cấu hình nghịch lưu một tầng. Công bố [20] sử dụng bộ điều khiển PID nhằm thay đổi thời gian tác dụng của các khóa tích cực phía mạch tăng áp để cân bằng điện thế điểm trung tính. Sai số giữa các giá trị điện áp của tụ điện được xem xét như là ngõ vào của PID. Tuy nhiên, khi các hệ số này bị thay đổi, hệ số tăng áp cũng sẽ bị ảnh hưởng. Trong nghiên cứu [13], thời gian tác dụng của các vector nhỏ dạng P và dạng N sẽ được thay đổi tùy thuộc vào giá trị thực của điện áp trên các tụ điện nhằm cân bằng điện thế điểm trung tính. Tuy nhiên, các vector nhỏ cũng được sử dụng để chèn các trạng thái UST và LST. Do đó, việc thay đổi thời gian của các vector nhỏ dẫn đến việc hệ số tăng áp bị ảnh hưởng. Như được đề cập trong [13], tốc độ phục hồi trạng thái cân bằng càng nhanh thì hệ số tăng áp càng bị ảnh hưởng. Bất lợi này cũng là nhược điểm trong phương pháp được đề cập trong [14]. Xuất phát từ chuỗi xung được đề xuất trong [16], nghiên cứu [15] đề xuất việc thêm một vector nhỏ dạng P hoặc N nằm ở lân cận vùng hoạt động nhằm giải quyết vấn đề cân bằng điện áp điểm giữa. Nhìn chung, hệ số tăng áp trong

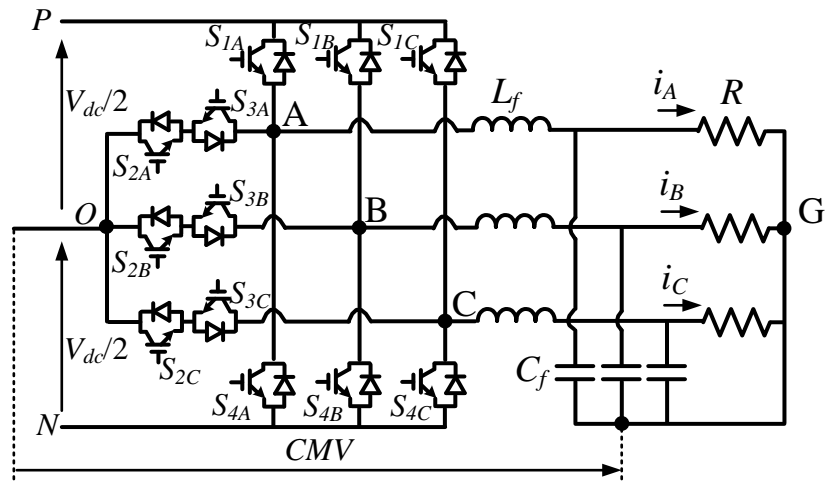


nghiên cứu này không bị ảnh hưởng bởi việc sử dụng trạng thái FST thay vì UST và LST. Tuy nhiên, thời gian tác dụng của vector được thêm vào được tính toán khá phức tạp. Ngoài ra, thời gian tác dụng của các vector này khá nhỏ dẫn đến tốc độ cân bằng khá chậm. Nghiên cứu [22] trình bày phương pháp thứ 2 cho việc cân bằng điện áp trên các tụ điện. Bằng việc nối song song hai tụ điện trong trạng thái ST, điện áp giữa chúng có khả năng tự cân bằng mà không cần sử dụng cảm biến. Tuy nhiên, việc nối song song hai tụ điện sẽ sinh ra dòng điện stress có cường độ rất lớn qua các linh kiện bán dẫn. Do đó, khi sử dụng cấu hình này, các linh kiện phải được lựa chọn với dòng điện định mức cao hơn rất nhiều so với các cấu trúc tương tự.

Nhìn chung, các giải thuật và cấu hình đã nêu trên có một số bất lợi chính như sau: 1) độ lợi điện áp thấp, 2) phương pháp cân bằng tụ còn khá nhiều hạn chế như tính toán phức tạp, ảnh hưởng đến độ lợi của hệ thống. Do đó, luận án trình bày một phương pháp điều chế vector không gian (Space Vector Modulation – SVM) nhằm cải thiện các nhược điểm này [30]. Cấu hình nghịch lưu 3 pha 3 bậc tựa khóa chuyển mạch hình T ( $3L-qSBT^2I$ ), hình 1.2(b), được chọn làm đối tượng để áp dụng giải thuật được đề xuất. Trong giải thuật này, các vector nhỏ được sử dụng để cân bằng điện thế điểm trung tính và chèn các trạng thái UST và LST nhằm tăng cường độ lợi cho mạch nghịch lưu. Các kết quả dự kiến có thể nêu ra như: 1) cải thiện độ lợi của mạch nghịch lưu, 2) điện áp trên các linh kiện nhỏ, 3) giải thuật cân bằng đơn giản và hiệu quả, không ảnh hưởng đến hoạt động tăng/giảm áp của mạch nghịch lưu.

## **1.2 Tổng quan giải thuật giảm điện áp common-mode cho cấu hình nghịch lưu một tầng**

Điện áp common-mode (common-mode voltage – CMV) là một trong những vấn đề quan trọng của những bộ nghịch lưu nguồn áp. CMV là nguyên nhân chính dẫn đến dòng rò, điện áp trực, dòng qua ổ bi của động cơ, và nhiễu điện từ [31], [32].



Hình 1.3 Mô tả về điện áp common-mode trong mạch nghịch lưu 3 bậc hình T.

Nghiên cứu [33] đã trình bày phương pháp điều khiển dự đoán cho mạch nghịch lưu ba bậc hình T (three-level T-type inverter – 3L-T<sup>2</sup>I) nhằm giảm CMV và cân bằng điện áp trung tính. Trong nghiên cứu này, hai vector gần nhất có giá trị CMV thấp được sử dụng để tạo ra vector điện áp tham chiếu. Tuy nhiên, phương pháp này rất khó để có thể dùng cho các mạch nghịch lưu nguồn Z vì việc chèn trạng thái ST vào chuỗi vector là rất khó tại một vài vùng hoạt động của giản đồ vector không gian đề xuất. Để giảm biên độ của CMV, công bố [34] sử dụng vector không, vector trung bình và vector lớn để tổng hợp vector điện áp ngõ ra. Với phương pháp này, biên độ của CMV được giảm đến hai lần so với phương pháp truyền thống. Ở nghiên cứu [15], một vector nhỏ có biên độ CMV thấp được thêm vào chuỗi xung để cân bằng điện áp trung tính mà không làm ảnh hưởng đến biên độ đỉnh của CMV của bộ nghịch lưu. Tuy nhiên, giá trị hiệu dụng của CMV có sự gia tăng nhỏ khi sử dụng thêm các vector nhỏ này. Trong công bố [15], [16], hoạt động tăng/giảm áp của bộ nghịch lưu được đảm bảo nhờ sự hỗ trợ của trạng thái FST phía mạch nghịch lưu, trạng thái này được xem xét chèn vào vector không để không làm ảnh hưởng đến hoạt động của các vector tích cực khác. Tuy nhiên, hệ số tăng áp của hai nghiên cứu này còn thấp. Nghiên cứu [35] trình bày phương pháp SVM nhằm triệt tiêu CMV cho cấu hình 3L-qSBT<sup>2</sup>I. Trong

nghiên cứu này, vector không và các vector trung bình được dùng để tổng hợp vector điện áp tham chiếu. So sánh với nghiên cứu [15], [16], phương pháp ở [35] có ưu điểm trong việc làm giảm độ gợn sóng dòng điện qua cuộn dây, cải thiện độ lợi điện áp và biên độ CMV. Tuy nhiên, chất lượng điện áp ngõ ra của nghiên cứu [35] thì thấp hơn nghiên cứu [15], [16]. Ngoài ra, chỉ số điều chế của phương pháp [35] bị giới hạn và thấp hơn các nghiên cứu ở [15], [16]. Nghiên cứu [30] có thể cải thiện độ lợi điện áp, điện áp đặt trên các linh kiện, và chất lượng điện áp ngõ ra so với các phương pháp ở nghiên cứu [15], [16], [35]. Tuy nhiên, biên độ CMV của nghiên cứu [30] thì lớn hơn các nghiên cứu trước đó. Trong [30], hai trạng thái UST và LST được sử dụng thay cho trạng thái FST nhằm tăng cường độ lợi điện áp và cải thiện chất lượng điện áp ngõ ra. So sánh với [30], nghiên cứu [36] có thể đạt được cùng một giá trị độ lợi điện áp. Tuy nhiên, biên độ đỉnh của CMV được giảm đi  $\frac{1}{2}$  lần so với nghiên cứu [30]. Một nhược điểm còn tồn tại của nghiên cứu [36] là điện áp ngõ ra có độ méo dạng sóng hài cao.

*Nhìn chung, các nghiên cứu đã công bố về việc giảm CMV cho các cấu hình nghịch lưu nguồn Z còn tồn tại một số nhược điểm như sau: 1) tính toán phức tạp, 2) chất lượng điện áp ngõ ra thấp, 3) độ lợi điện áp thấp. Nhằm kế thừa ưu điểm về độ lợi điện áp cao và chất lượng điện áp ngõ ra cao đã giới thiệu ở nghiên cứu trước đó [30] và cải thiện biên độ CMV, luận án trình bày phương pháp điều khiển SVM nhằm giảm CMV. Tất cả các vector tạo ra giá trị CMV cao sẽ được loại bỏ khỏi giản đồ vector không gian. Các vector với biên độ CMV thấp được sử dụng để tạo ra vector tham chiếu. Trong phương pháp này, các vector nhỏ vẫn được sử dụng để chèn các trạng thái UST và LST nhằm tăng cường điện áp phía nghịch lưu.*

### **1.3 Tổng quan giải thuật xử lý sự cố hở mạch**

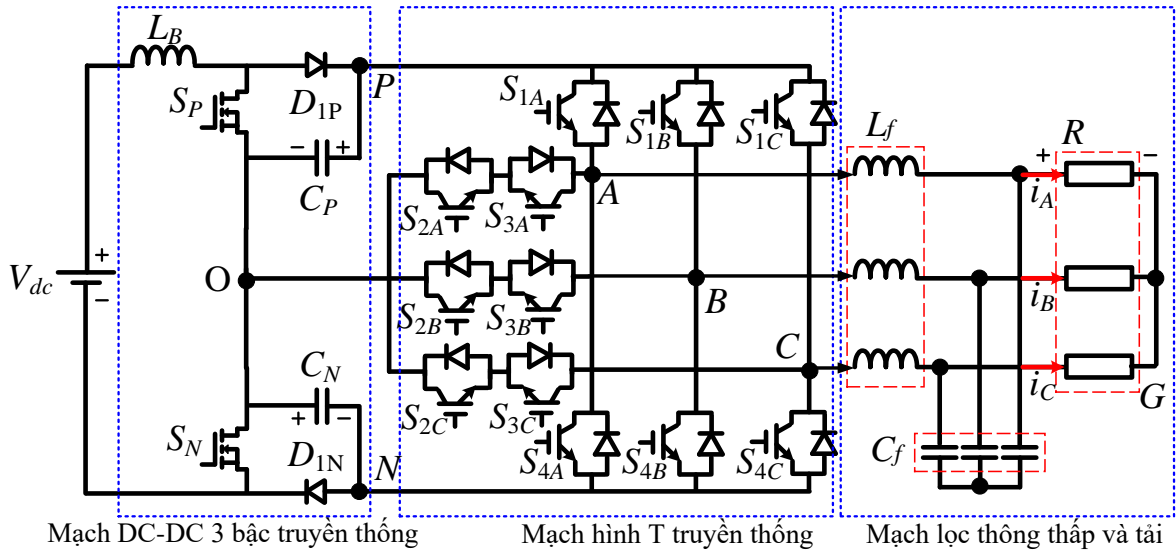
Trong thời gian gần đây, các mạch nghịch lưu dựa trên các linh kiện bán dẫn hoạt động ở tần số cao thu hút nhiều nhà nghiên cứu trên thế giới vì các ưu điểm của chúng có thể kể đến như: mật độ công suất cao, chất lượng điện áp ngõ ra tốt, hiệu suất cao,

v.v... Tuy nhiên, những linh kiện bán dẫn này có thể đối mặt với các sự cố làm giảm độ tin cậy của hệ thống. Trong một vài ứng dụng đòi hỏi tính liên tục trong việc cung cấp năng lượng như trong các hệ thống giao thông công cộng, hệ thống y tế thì các sự cố này có thể dẫn những thiệt hại nghiêm trọng. Do đó, các bộ nghịch lưu cần được thiết kế để hoạt động trong trạng thái khóa bán dẫn gặp sự cố nhằm nâng cao tính ổn định của hệ thống. Sự cố của khóa bán dẫn có thể được chia thành hai loại chính: sự cố hở mạch khóa công suất (open-circuit fault – OCF) và sự cố ngắn mạch khóa công suất (short-circuit fault – SCF) [38] – [45]. Nguyên nhân dẫn đến các sự cố OCF và SCF đã được trình bày khá chi tiết trong các nghiên cứu [43] – [45]. Nhìn chung, sự cố SCF thì nghiêm trọng hơn sự cố OCF và thường dẫn đến việc phá hủy hệ thống vì các sự cố SCF thường tạo ra dòng ngắn mạch rất lớn. Hệ thống thường được ngừng hoạt động khi sự cố SCF được phát hiện nhằm bảo vệ các linh kiện chưa gặp sự cố. Các mạng nguồn Z thường được cài đặt phía trước các bộ nghịch lưu nguồn áp thông thường nhằm giới hạn biên độ của dòng ngắn mạch sinh ra bởi sự cố SCF tại các khóa bán dẫn phía mạch nghịch lưu [46] – [48]. Điều này giúp cho hệ thống có thêm thời gian để phản ứng với các sự cố SCF. Khác với sự cố SCF, các bộ nghịch lưu có thể tiếp tục hoạt động khi sự cố OCF xảy ra với các phương pháp thích hợp. Do đó, nhiều nhà nghiên cứu trên thế giới đã tập trung phát triển các phương pháp sửa lỗi OCF cho các bộ nghịch lưu. Các phương pháp chuẩn đoán và khắc phục sự cố OCF được trình bày cụ thể trong các nghiên cứu [49] – [67]. Các nghiên cứu [49] – [51] trình bày các phương pháp giúp chuẩn đoán sự cố OCF một cách nhanh chóng và chính xác. Đặc biệt, công bố [49] có thể chuẩn đoán sự cố OCF trong vòng 10  $\mu$ s.

Các phương pháp xử lý sự cố OCF thường được phát triển cho mạch nghịch lưu 3 bậc hình T (3L-T<sup>2</sup>I). Trong cấu hình này, sự cố OCF có thể xảy ra tại khóa bán dẫn phía trên/dưới hoặc khóa bán dẫn hai chiều. Sự cố OCF tại khóa hai chiều thường tạo ra sự suy giảm nhẹ của chất lượng điện áp ngõ ra và sự mất cân bằng điện áp tại điểm trung tính. Sự cố này có thể được giải quyết bằng cách thay đổi phương pháp điều chế

độ rộng xung [52] – [54]. Một cách đơn giản, pha xuất hiện sự cố được đề xuất hoạt động ở chế độ hai bậc, trong khi các pha còn lại vẫn duy trì hoạt động ở chế độ ba bậc. Đặc biệt, nghiên cứu [52], [53] trình bày phương pháp xử lý sự cố OCF tại khóa hai chiều nhằm cân bằng điện thế điểm trung tính. Khi sự cố OCF xảy ra tại khóa bán dẫn phía trên hoặc phía dưới của mạch 3L-T<sup>2</sup>I, bán kỳ dương hoặc âm của điện áp tải bị mất. Điều này làm gia tăng THD của dòng điện tải một cách nghiêm trọng. Hệ thống bắt buộc phải dừng hoạt động nếu không có phương pháp giải quyết thích hợp. Hai phương pháp chính nhằm khắc phục sự cố này có thể được liệt kê như sau: sử dụng thêm phần cứng [55] – [61] hoặc thay đổi phương pháp điều khiển [62] – [67]. Sử dụng hai mạch nghịch lưu song song là phương pháp đơn giản nhất để khôi phục hoạt động của mạch nghịch lưu khi sự cố OCF xảy ra tại một hoặc nhiều khóa bán dẫn [55] – [57]. Tuy nhiên, phương pháp này sử dụng khá nhiều linh kiện bán dẫn. Một phương pháp khác có thể xem xét là việc sử dụng một nhánh dự phòng bên cạnh mạch nghịch lưu chính [58] – [61]. Trong nghiên cứu [58] và [59], một nhánh nghịch lưu hình T được cài đặt phía trước mạch 3L-T<sup>2</sup>I. Trong trạng thái hoạt động bình thường, khóa bán dẫn hai chiều của nhánh dự phòng được kích dẫn liên tục nhằm nối điểm trung tính của nguồn đến mạch chính. Khi xảy ra sự cố, khóa hai chiều này được kích ngắt để cách ly điểm trung tính của nguồn và mạch chính. Khóa bán dẫn hai chiều của mạch chính và khóa trên và dưới của nhánh dự phòng được sử dụng để thay thế khóa bán dẫn gặp sự cố. Khi này, mạch nghịch lưu hoạt động ở chế độ hai bậc. Nghiên cứu [60] và [61] trình bày một nhánh dự phòng mới cho mạch 3L-T<sup>2</sup>I. Nhánh dự phòng này được cấu tạo từ hai khóa bán dẫn tích cực và sáu diode. Mạch 3L-T<sup>2</sup>I được sửa đổi bằng cách sử dụng thêm sáu diode để kết hợp với nhánh dự phòng này. Trong trạng thái sự cố OCF, mạch nghịch lưu này cũng được đề xuất hoạt động ở chế độ hai bậc. Nhìn chung, phương pháp sử dụng phần cứng có khá nhiều ưu điểm như: đảm bảo được biên độ điện áp ngõ ra, khắc phục được sự cố OCF tại một hoặc nhiều khóa bán dẫn. Tuy

nhiên, phương pháp này yêu cầu thêm khá nhiều linh kiện. Ngoài ra, các bộ nghịch lưu này chỉ hoạt động được ở chế độ giảm áp.



Hình 1.4 Cấu hình TLB-T<sup>2</sup>I [68].

Ngoài phương pháp sử dụng phần cứng, phương pháp thay đổi giải thuật điều khiển bộ nghịch lưu cũng được xem xét [62] – [67]. Giải thuật truyền thống kích dẫn khóa bán dẫn hai chiều của pha bị sự cố để tạo ra điện áp 0-V ở ngõ ra [62], [63]. Hai pha còn lại được điều khiển với tín hiệu điều chế được điều chỉnh nhằm phục hồi điện áp ba pha trên tải. Nghiên cứu [64] sử dụng khóa bán dẫn hai chiều và khóa phía dưới để khôi phục hoạt động của pha bị lỗi. Khi áp dụng phương pháp [64], hoạt động của mạch nghịch lưu giảm từ ba bậc về hai bậc. Các phương pháp [62] – [64] không yêu cầu thêm phần cứng, tuy nhiên, biên độ điện áp ngõ ra giảm hai lần so với trạng thái bình thường. Nếu điện áp ngõ vào không đủ lớn, các mạch DC-DC có thể được sử dụng phía trước các bộ nghịch lưu nhằm phục hồi biên độ điện áp ngõ ra trong trạng thái sự cố OCF. Ví dụ, cấu hình nghịch lưu ba bậc hình T tăng áp (three-level boost T-type inverter – TLB-T<sup>2</sup>I) được biểu diễn như hình 1.4 [68] có thể được sử dụng cho phương pháp [62] – [64] để duy trì biên độ dòng điện tải trong trạng thái bình thường và lỗi. Bên cạnh các mạch nghịch lưu hai tầng, các mạch nghịch lưu một tầng có thể

được sử dụng với mục đích tương tự [65] – [67]. Đặc biệt, nghiên cứu [67] trình bày phương pháp khắc phục sự cố OCF của tất cả các khóa bán dẫn tích cực trong cấu hình 3L-qSBT<sup>2</sup>I. Phương pháp được đề cập trong [67] thể hiện ưu điểm trong việc tạo ra điện áp rơi trên các linh kiện nhỏ hơn [65], [66].

Trong các mạch nghịch lưu một tầng [65] – [67], chỉ số điều chế bị giới hạn và luôn bé hơn 1. Do đó, các cấu hình này yêu cầu một giá trị rất lớn của điện áp ngõ vào phía nghịch lưu để tạo ra điện áp ngõ ra theo yêu cầu. Điều này làm tăng điện áp rơi trên các linh kiện cũng như giảm hiệu suất của hệ thống. Đặc biệt, trong phương pháp sửa lỗi hờ mạch khóa phía trên hoặc phía dưới của mạch 3L-T<sup>2</sup>I, điện áp đặt trên các khóa này tăng lên rất nhiều so với trạng thái bình thường. Ngoài ra, các phương pháp PWM truyền thống chưa xem xét sự cố OCF/SCF xảy ra tại các khóa bán dẫn phía mạch DC-DC cũng như sự cố OCF của nhiều khóa xảy ra cùng lúc và sự cố OCF của các tụ điện.

*Từ các phân tích trên, luận án trình bày phương pháp PWM giải quyết sự cố OCF/SCF của mạch TLB-T<sup>2</sup>I nhằm khắc phục các nhược điểm còn tồn tại của các phương pháp truyền thống. Ưu điểm của phương pháp được đề xuất có thể được liệt kê như sau : 1) giảm điện áp đặt trên các linh kiện, 2) khắc phục được một hoặc nhiều OCF của các khóa bán dẫn, 3) khắc phục được SCF của các linh kiện bán dẫn phía mạng nguồn kháng, 4) khắc phục được OCF tại tụ điện phía mạng nguồn kháng.*

#### **1.4 Kết luận chương 1**

Chương 1 đã trình bày khái quát về các nghiên cứu đã công bố về mạch nghịch lưu một tầng và các giải thuật điều khiển tương ứng. Nhìn chung, các nghiên cứu này có nhiều ưu điểm như: hoạt động tăng/giảm áp, cân bằng điện thế điểm trung tính, giảm/triệt tiêu điện áp common-mode, xử lý được sự cố khóa công suất. Tuy nhiên, các ưu điểm này chỉ xuất hiện riêng lẻ trong các cấu hình riêng biệt và khó có thể kết hợp với nhau. Ngoài ra, độ lợi điện áp của mạch nghịch lưu trong các cấu hình còn thấp dẫn

đến việc gia tăng điện áp đặt trên các linh kiện là một trong những bất lợi của các công bố đã liệt kê. Từ các phân tích trên, luận án đề xuất giải thuật điều khiển vector không gian cho cấu hình 3L-qSBT<sup>2</sup>I hay còn gọi là TLB-T<sup>2</sup>I giúp cải thiện các nhược điểm còn tồn đọng của các nghiên cứu trước đó như sau:

- Đầu tiên, phương pháp điều khiển giúp tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính được đề xuất. Với phương pháp này, điện áp đặt trên các linh kiện được cải thiện đáng kể, từ đó làm tăng hiệu suất chuyển đổi của bộ nghịch lưu.

- Dựa trên phương pháp đã đề xuất, giải thuật vector không gian cải tiến giúp giảm biên độ của CMV được đề xuất. Với giải thuật này, biên độ đỉnh-đỉnh cũng như giá trị hiệu dụng của CMV được cải thiện đáng kể so với phương pháp trước đó mà không làm ảnh hưởng đến các ưu điểm đã đạt được như: độ lợi điện áp cao, THD của điện áp ngõ ra thấp.

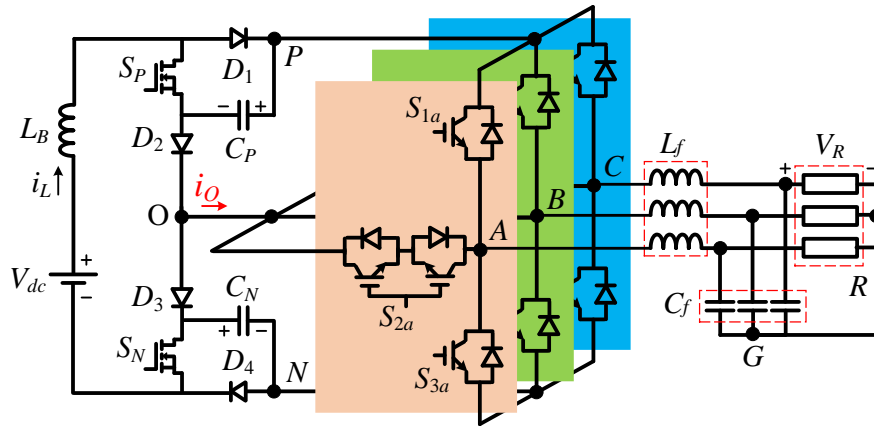
- Đề xuất phương pháp xử lý sự cố hở mạch/ngắn mạch linh kiện bán dẫn và tụ điện cho cấu hình TLB-T<sup>2</sup>I. Với giải thuật đề xuất, điện áp ngõ vào bộ nghịch lưu được giảm đáng kể so với phương pháp trước đó. Từ đó, điện áp đặt trên các linh kiện của bộ nghịch lưu được cải thiện so với các công bố trước đó.



## Chương 2

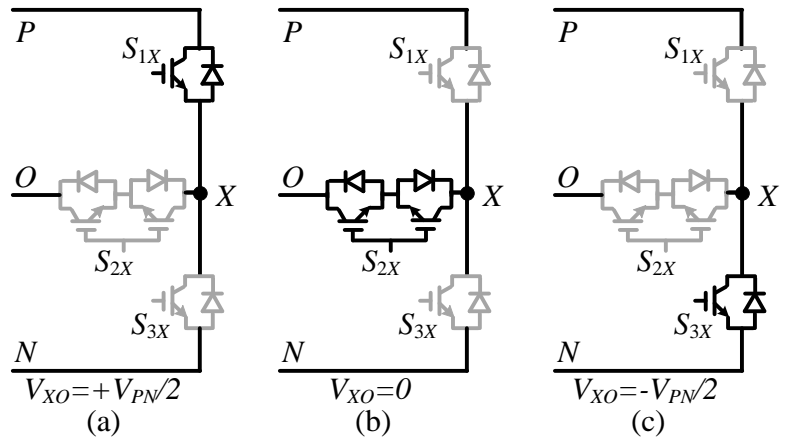
# GIẢI THUẬT SVM ĐỀ XUẤT CHO CẤU HÌNH 3L-qSBT<sup>2</sup>I

### 2.1 Cấu hình 3L-qSBT<sup>2</sup>I



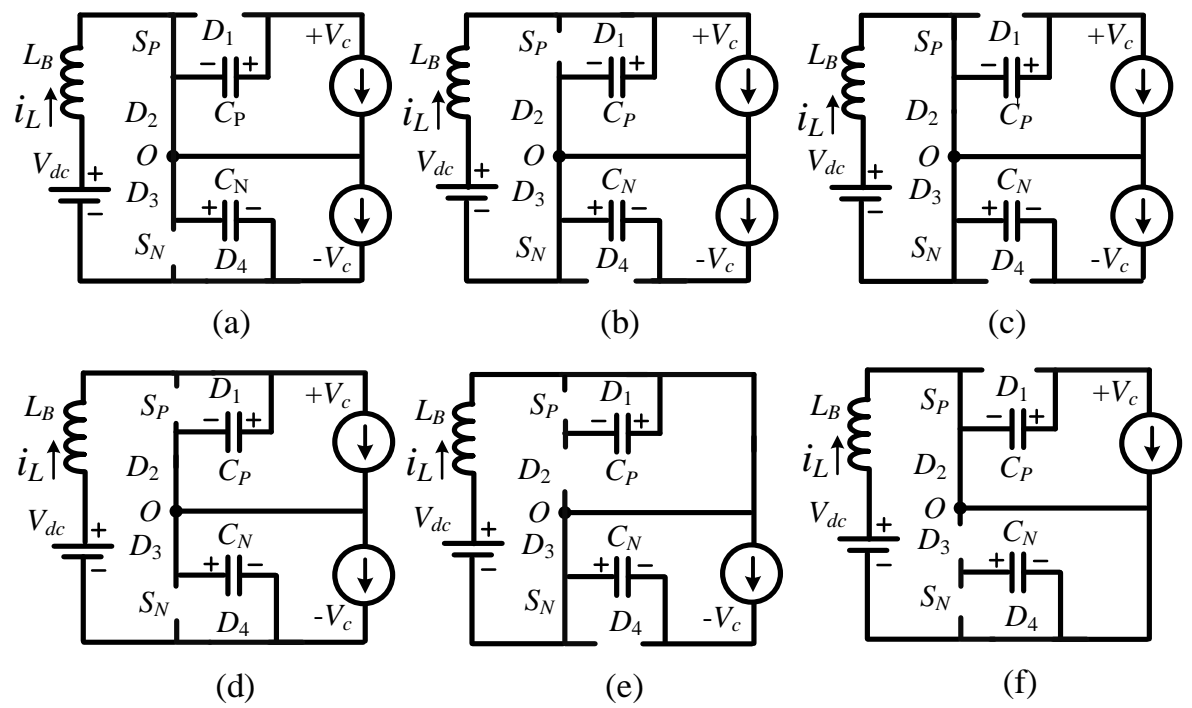
Hình 2.1. Cấu hình 3L-qSBT<sup>2</sup>I.

Hình 2.1 biểu diễn cấu hình 3L-qSBT<sup>2</sup>I. Cấu hình này bao gồm hai phần chính gồm mạng nguồn kháng (qSB) được theo sau bởi mạch 3L-T<sup>2</sup>I truyền thống. Cấu hình 3L-T<sup>2</sup>I cho phép tạo ra ba giá trị điện áp tại ngõ ra A, B, C bằng cách kích đóng thích hợp 3 khóa bán dẫn  $S_{1X}$ ,  $S_{2X}$ , và  $S_{3X}$  ( $X = A, B, C$ ), trong đó, khóa  $S_{2X}$  là khóa hai chiều được thành lập bằng cách kết nối nối tiếp hai khóa bán dẫn riêng biệt. Ba giá trị điện áp tại ngõ ra là  $+V_{PN}/2$ , 0, và  $-V_{PN}/2$  được biểu diễn bởi các trạng thái P, O, và N,  $V_{PN}$  là điện áp trên thanh cái DC-link. Cụ thể, giá trị  $+V_{PN}/2$  được tạo ra tại điện áp cực  $V_{XO}$  khi khóa  $S_{1X}$  dẫn, như biểu diễn ở hình 2.2(a). Khi kích dẫn khóa  $S_{2X}$ , điểm “O” sẽ được kết nối trực tiếp đến ngõ ra, do đó, điện áp cực  $V_{XO}$  đạt giá trị 0-V, như hình 2.2(b). Khóa  $S_{3X}$  được kích đóng nối điểm N phía mạng nguồn kháng đến ngõ ra làm cho điện áp  $V_{XO}$  đạt giá trị  $-V_{PN}/2$ , như hình 2.2(c). Bộ lọc 3 pha gồm cuộn dây  $L_f$  và tụ  $C_f$  được lắp đặt phía sau mạch 3L-T<sup>2</sup>I nhằm làm giảm biên độ của các thành phần hài tần số cao ở ngõ ra.



Hình 2.2. Trạng thái P, O, N của mạch 3LT<sup>2</sup>I.

Mạng nguồn kháng được cấu tạo từ 1 cuộn dây  $L_B$ , 2 tụ điện  $C_P$  và  $C_N$ , 2 khóa bán dẫn  $S_P$  và  $S_N$ , và 4 diode, như mô tả ở hình 2.1. Việc sử dụng duy nhất 1 cuộn dây tăng áp cho phép cấu hình này khai thác tối đa hiệu quả của trạng thái trùng dẫn, cụ thể sẽ được nêu rõ ở phần sau.



Hình 2.3. Các chế độ hoạt động của 3L-qSBT<sup>2</sup>I (a) NST 1, (b) NST 2, (c) NST 3, (d) NST 4, (e) UST, (f) LST.

Tương tự như các cấu hình nghịch lưu một tầng khác, cấu hình 3L-qS<sub>BT</sub><sup>2</sup>I hoạt động ở hai chế độ chính là chế độ trùng dẫn (ST) và chế độ không trùng dẫn (NST), được mô tả trong hình 2.3. Tuy nhiên, trong chế độ ST, hai trạng thái trùng dẫn nửa trên (UST) và trùng dẫn nửa dưới sẽ được sử dụng thay cho trạng thái trùng dẫn toàn phần (FST) để tăng cường điện áp DC-link, hình 2.3(e) và 2.3(f). Hai trạng thái này sẽ được chèn vào các vector nhỏ dạng N và P nhằm không làm ảnh hưởng đến điện áp ngõ ra của mạch nghịch lưu. Để giải thích hoạt động của mạch nghịch lưu khi chèn UST/LST, có thể giả sử rằng hai trạng thái UST và LST được chèn vào các vector nhỏ [OON] và [POO], cụ thể được mô tả như sau.

Tương tự như các mạch 3L-T<sup>2</sup>I thông thường, khi trạng thái [OON] được tạo ra, các khóa  $S_{2A}$ ,  $S_{2B}$  và  $S_{3C}$  sẽ được kích đóng đồng thời. Khi đó, ngõ ra  $A$  và  $B$  được nối với điểm trung tính nguồn “O” trong khi ngõ ra  $C$  được nối với điểm “N”. Có thể thấy rằng, tụ điện  $C_N$  cần thiết cho việc tạo ra hai trạng thái “O” và “N” tại ngõ ra, trong khi tụ điện  $C_P$  không đóng vai trò trong việc tạo nên điện áp ngõ ra. Do đó, trong trạng thái này, sự có mặt hoặc không có mặt của tụ  $C_P$  trong mạch công suất sẽ không thay đổi điện áp dây ngõ ra của bộ nghịch lưu. Để chèn trạng thái UST vào vector [OON], các khóa  $S_{1X}$  của pha đang hoạt động ở trạng thái “O” sẽ được kích đóng cùng với khóa  $S_N$ , như được mô tả trong hình 2.3(e). Cụ thể, khi mạch hoạt động ở trạng thái [OON], bên cạnh việc kích đóng các khóa  $S_{2A}$ ,  $S_{2B}$ ,  $S_{3C}$  như các mạch nghịch lưu truyền thống, các khóa  $S_{1A}$ ,  $S_{1B}$  và khóa  $S_N$  cũng sẽ đồng thời được kích đóng để tạo nên trạng thái UST. Khi này, tụ điện  $C_P$  bị mất kết nối với mạch điện vì diode  $D_2$  bị phân cực ngược. Tuy nhiên, điều này sẽ không thay đổi điện áp dây ngõ ra của bộ nghịch lưu. Điện áp trên tụ  $C_N$  duy trì hoạt động của bộ nghịch lưu bằng việc đảm bảo hai trạng thái “O” và “N” tại ngõ ra. Cuộn dây  $L_B$  được tích trữ năng lượng từ điện áp ngõ vào  $V_{dc}$ .

Tương tự như trạng thái UST, khi trạng thái [POO] được tạo ra, các khóa  $S_{1A}$ ,  $S_{2B}$  và  $S_{2C}$  sẽ được kích đóng đồng thời. Khi đó, ngõ ra  $A$  được nối với điểm “P” phía mạng nguồn kháng, trong khi ngõ ra  $B$ ,  $C$  được nối với điểm trung tính nguồn “O”. Có thể

thấy rằng, tụ điện  $C_P$  cần thiết cho việc tạo ra hai trạng thái “P” và “O” tại ngõ ra, trong khi tụ điện  $C_N$  không đóng vai trò trong việc tạo nên điện áp ngõ ra. Do đó, trong trạng thái này việc ngắt kết nối tụ  $C_N$  trong mạch công suất sẽ không thay đổi điện áp dây ngõ ra của bộ nghịch lưu. Để chèn trạng thái LST vào vector [POO], các khóa  $S_{3X}$  của pha đang hoạt động ở trạng thái “O” sẽ được kích đóng cùng với khóa  $S_P$ , như được mô tả trong hình 2.3(f). Cụ thể, khi mạch hoạt động ở trạng thái [POO], bên cạnh việc kích đóng các khóa  $S_{1A}$ ,  $S_{2B}$ ,  $S_{2C}$  như các mạch nghịch lưu truyền thống, các khóa  $S_{3B}$ ,  $S_{3C}$  và khóa  $S_P$  cũng sẽ được đồng thời kích đóng để tạo nên trạng thái LST. Khi này, tụ điện  $C_N$  bị mất kết nối với mạch điện vì diode  $D_3$  bị phân cực ngược. Tuy nhiên, điều này sẽ không thay đổi điện áp dây ngõ ra của bộ nghịch lưu. Điện áp trên tụ  $C_P$  duy trì hoạt động của bộ nghịch lưu bằng việc đảm bảo hai trạng thái “P” và “O” tại ngõ ra. Cuộn dây  $L_B$  được nạp năng lượng từ nguồn DC ngõ vào  $V_{dc}$ .

Điện áp của cuộn dây  $L_B$  trong trạng thái UST và LST được tính toán như sau [30]:

$$L_B \frac{di_{LB}}{dt} = V_{dc} \quad (2.1)$$

Tương tự như nghiên cứu [20], trong chế độ NST, khóa  $S_P$  và  $S_N$  được kích dẫn thích hợp nhằm tăng cường điện áp DC-link cũng như cải thiện dòng điện qua cuộn dây. Tùy vào các trạng thái của  $S_P$  và  $S_N$ , có thể chia chế độ NST thành 4 chế độ nhỏ là NST 1, NST 2, NST 3 và NST 4, như hình 2.3(a) – 2.3(d).

Trong chế độ NST 1, khóa  $S_P$  được kích dẫn, trong khi đó khóa  $S_N$  được kích ngắt. Từ đó, phân cực thuận các diode  $D_2$ ,  $D_3$  và  $D_4$  và phân cực ngược diode  $D_1$ . Trong chế độ này, cuộn cảm  $L_B$  và nguồn  $V_{dc}$  nạp cho tụ điện  $C_N$ , trong khi tụ  $C_P$  cung cấp năng lượng cho tải. Điện áp đặt trên cuộn dây  $L_B$  được biểu diễn như sau [20]:

$$L_B \frac{di_{LB}}{dt} = V_{dc} - V_{CN} \quad (2.2)$$

Trong chế độ NST 2, khóa  $S_P$  được kích ngắt trong khi khóa  $S_N$  được kích đóng. Từ đó, phân cực thuận các diode  $D_1$ ,  $D_2$  và  $D_3$  và phân cực ngược diode  $D_4$ . Trong chế

độ này, cuộn cảm  $L_B$  và nguồn  $V_{dc}$  nạp cho tụ điện  $C_P$ , trong khi tụ  $C_N$  cung cấp năng lượng cho tải. Điện áp đặt trên cuộn dây  $L_B$  được biểu diễn như sau [20]:

$$L_B \frac{di_{LB}}{dt} = V_{dc} - V_{CP} \quad (2.3)$$

Trong trạng thái NST 3, hai khóa  $S_P$  và  $S_N$  đồng thời được kích dẫn. Khi đó, các diode  $D_2$  và  $D_3$  được phân cực thuận trong khi các diode  $D_1$  và  $D_4$  bị phân cực ngược. Trong chế độ hoạt động này, cuộn cảm  $L_B$  được nạp năng lượng từ nguồn  $V_{dc}$ , trong khi hai tụ  $C_P$  và  $C_N$  cung cấp năng lượng cho tải. Điện áp đặt trên cuộn dây  $L_B$  được biểu diễn như sau [20]:

$$L_B \frac{di_{LB}}{dt} = V_{dc} \quad (2.4)$$

Trong trạng thái NST 4, cả hai khóa  $S_P$  và  $S_N$  được kích ngắt đồng thời. Tất cả các diode được phân cực thuận. Trong trạng thái này, cuộn dây  $L_B$  và nguồn DC ngõ vào nạp cho hai tụ điện. Điện áp đặt trên cuộn dây  $L_B$  được biểu diễn như sau [20]:

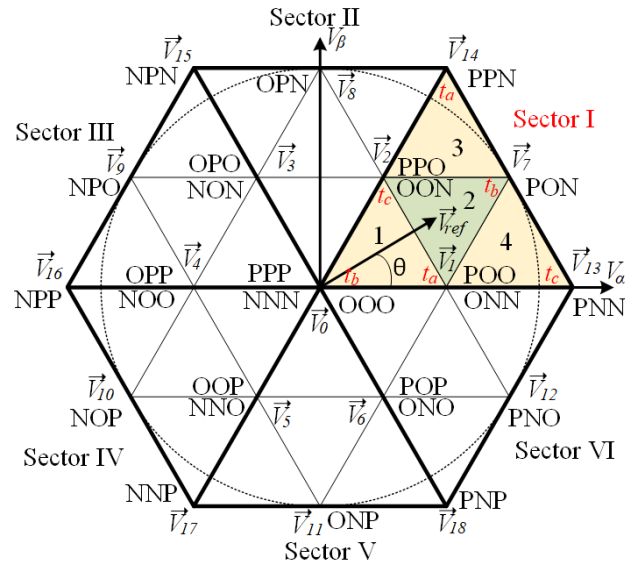
$$L_B \frac{di_{LB}}{dt} = V_{dc} - V_{CP} - V_{CN} \quad (2.5)$$

Trạng thái đóng/ngắt của 3L-qSBT<sup>2</sup>I ở chế độ NST và ST được mô tả như bảng 2.1.

Bảng 2.1 Trạng thái hoạt động của mạch 3L-qSBT<sup>2</sup>I. ( $X = A, B, C$ )

Chế độ	Khóa dẫn	Diode dẫn	$V_{LB}$	$V_{xO}$
NST1	$S_P$	$D_2, D_3, D_4$	$V_{dc} - V_{CN}$	$+V_{PN}/2, 0, -V_{PN}/2$
NST2	$S_N$	$D_1, D_2, D_3$	$V_{dc} - V_{CP}$	$+V_{PN}/2, 0, -V_{PN}/2$
NST3	$S_P, S_N$	$D_2, D_3$	$V_{dc}$	$+V_{PN}/2, 0, -V_{PN}/2$
NST4	$S_{Ix}$	$D_1, D_2, D_3, D_4$	$V_{dc} - V_{CP} - V_{CN}$	$+V_{PN}/2$
	$S_{2x}$			0
	$S_{3x}$			$-V_{PN}/2$
UST	$S_{Ix}, S_{2x}, S_N$	$D_1, D_3$	$V_{dc}$	0 or $-V_{PN}/2$
LST	$S_{2x}, S_{3x}, S_P$	$D_2, D_4$	$V_{dc}$	0 or $+V_{PN}/2$

## 2.2 Giải thuật điều chế vector không gian đề xuất



Hình 2.4. Giản đồ vector không gian cho giải thuật đề xuất.

Công thức biến đổi abc/ $\alpha\beta$  được biểu diễn như sau [70]:

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_{AO} \\ V_{BO} \\ V_{CO} \end{bmatrix} \quad (2.6)$$

Mỗi pha của mạch nghịch lưu có thể tạo ra 3 trạng thái tại ngõ ra (“P”, “O”, “N”). Do đó, có 27 tổ hợp trạng thái ngõ ra của ba pha. Bằng cách sử dụng biến đổi abc/ $\alpha\beta$  như công thức (2.6), 27 tổ hợp này có thể được biểu diễn trên hệ trục tọa độ  $\alpha\beta$  như hình 2.4. Phương pháp SVM đề xuất chia giản đồ vector trên thành 6 phần nhỏ (sector I – sector VI), mỗi phần được chia thành 4 vùng nhỏ (region 1 – region 4), như biểu diễn ở hình 2.4. Tùy thuộc vào vị trí của vector điện áp tham chiếu  $\vec{V}_{ref}$  mà 3 vector lân cận sẽ được chọn để tổng hợp vector này. Trong phần tiếp theo, thời gian tác dụng, chuỗi xung, cách chèn trạng thái UST và LST, phân tích mạch trong trạng thái ổn định và phương pháp cân bằng điện áp trung tính sẽ được trình bày cụ thể. Nhằm đơn giản hóa quá trình phân tích, vùng thứ 2 của sector I sẽ được chọn làm ví dụ để phân tích.

### 2.2.1 Tính toán thời gian tác dụng

Giả sử vector điện áp tham chiếu  $\vec{V}_{ref}$  nằm trong vùng 2 của sector I. Khi đó, 3 vector lân cận  $\vec{V}_1$ ,  $\vec{V}_2$ , và  $\vec{V}_7$  được sử dụng để tổng hợp vector tham chiếu theo công thức sau [30]:

$$\begin{cases} \vec{V}_{ref} \cdot T_s = \vec{V}_1 \cdot t_a + \vec{V}_7 \cdot t_b + \vec{V}_2 \cdot t_c \\ T_s = t_a + t_b + t_c \end{cases} \quad (2.7)$$

Trong đó:  $\vec{V}_{ref}$  là vector điện áp tham chiếu;  $\vec{V}_1$ ,  $\vec{V}_2$  là các vector nhỏ;  $\vec{V}_7$  là vector trung;  $t_a$ ,  $t_b$ ,  $t_c$  lần lượt là thời gian tác dụng của  $\vec{V}_1$ ,  $\vec{V}_7$ , và  $\vec{V}_2$ ;  $T_s$  là chu kỳ chuyển mạch của mạch nghịch lưu.

Các vector  $\vec{V}_1$ ,  $\vec{V}_2$ ,  $\vec{V}_7$ , và vector tham chiếu  $\vec{V}_{ref}$  được biểu diễn như sau [30]:

$$\begin{cases} \vec{V}_{ref} = 1 / \sqrt{3} \cdot M \cdot V_{PN} \cdot e^{j\theta} \\ \vec{V}_1 = 1 / 3 \cdot V_{PN} \cdot e^{j0} \\ \vec{V}_2 = 1 / 3 \cdot V_{PN} \cdot e^{j\pi/3} \\ \vec{V}_7 = 1 / \sqrt{3} \cdot V_{PN} \cdot e^{j\pi/6} \end{cases} \quad (2.8)$$

Trong đó:  $V_{PN}$  là biên độ đỉnh của điện áp trên thanh cái DC-link đạt được trong trạng thái không trùng dẫn;  $M$  là chỉ số điều chế.

Với  $M \leq 1$ , biên độ lớn nhất của vector điện áp ngõ ra bằng với biên độ của vector trung. Khi này biên độ đỉnh cực đại của sóng hài bậc 1 điện áp pha được tính toán như sau [30]:

$$V_{x,peak,max} = \frac{1}{\sqrt{3}} V_{PN} \quad (2.9)$$

Thay phương trình (2.8) vào phương trình (2.7), thời gian của các vector thành phần được tính toán như sau [30]:

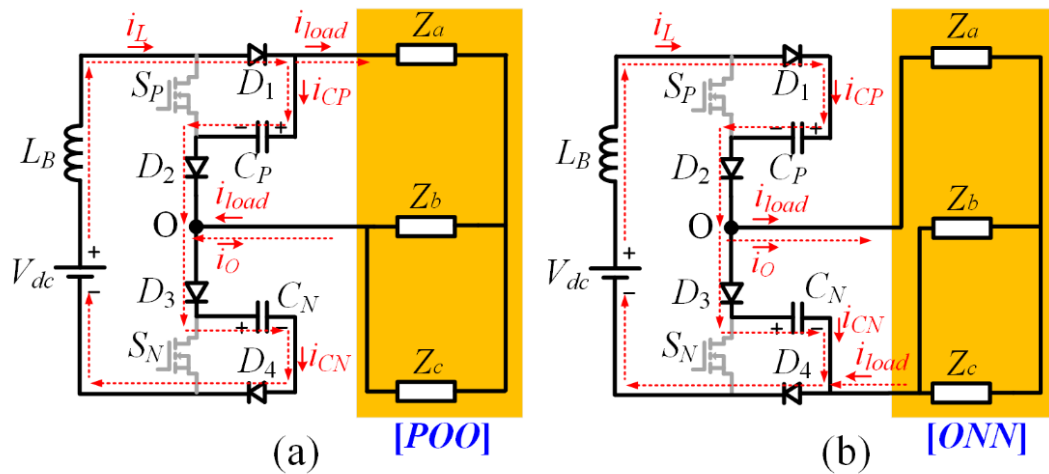
$$\begin{cases} t_a = T_s - 2MT_s \sin(\theta) \\ t_b = 2MT_s \sin(\theta + \pi/3) - T_s \\ t_c = T_s - 2MT_s \sin(\pi/3 - \theta) \end{cases} \quad (2.10)$$

Tương tự, thời gian tác dụng của các vector thành phần khi vector điện áp tham chiếu nằm ở các vùng khác cũng có thể được tính toán một cách dễ dàng. Bảng 2.2 liệt kê thời gian tác dụng của 4 vùng thuộc sector I. Các sector khác cũng có thể áp dụng phương pháp tương tự để tính toán thời gian tác dụng.

Bảng 2.2. Thời gian của các vector thành phần của sector I.

Vùng	$t_a$	$t_b$	$t_c$
1	$2MT_s \sin(\pi/3 - \theta)$	$T_s - 2MT_s \sin(\pi/3 + \theta)$	$2MT_s \sin(\theta)$
2	$T_s - 2MT_s \sin(\theta)$	$2MT_s \sin(\pi/3 + \theta) - T_s$	$T_s - 2MT_s \sin(\pi/3 - \theta)$
3	$2MT_s \sin(\theta) - T_s$	$2MT_s \sin(\pi/3 - \theta)$	$2T_s - 2MT_s \sin(\pi/3 + \theta)$
4	$2T_s - 2MT_s \sin(\pi/3 + \theta)$	$2MT_s \sin(\theta)$	$2MT_s \sin(\pi/3 - \theta) - T_s$

### 2.2.2 Lựa chọn chuỗi xung để cân bằng điện thế điểm trung tính



Hình 2.5. Ảnh hưởng của vector nhỏ dạng P và N lên điện áp trên các tụ điện (a) vector nhỏ dạng P [POO], (b) vector nhỏ dạng N [ONN].



Như được biểu diễn trong hình 2.4, mỗi vector nhỏ đều tồn tại hai trùng lặp là vector nhỏ dạng P và vector nhỏ dạng N. Hai vector trùng lặp này tạo ra cùng một giá trị điện áp dây ngõ ra. Do đó, việc thay thế các vector trùng lặp này cho nhau không làm ảnh hưởng đến điện áp ngõ ra. Tuy nhiên, mỗi vector trùng lặp lại tồn tại các ảnh hưởng lên điện áp trung tính khác nhau. Cụ thể được mô tả như sau:

Xem xét vector nhỏ  $\vec{V}_1$ , vector này tồn tại hai trùng lặp là vector nhỏ dạng P [POO], và vector nhỏ dạng N [ONN]. Hai vector này đều tạo ra các giá trị  $+V_{PN}/2$ , 0 và  $-V_{PN}/2$  tại các điện áp dây  $V_{AB}$ ,  $V_{BC}$ ,  $V_{CA}$ . Tuy nhiên, chiều của dòng điện trung tính  $i_O$  sẽ khác nhau cho mỗi trường hợp. Từ đó ảnh hưởng đến sự mất cân bằng điện thế điểm trung tính. Hình 2.5 mô tả chiều dòng điện chạy qua các tụ điện và chạy vào điểm trung tính trong trạng thái NST 4 khi áp dụng dạng P và dạng N của vector nhỏ  $\vec{V}_1$ .

Xét vector nhỏ [POO], hình 2.5(a), dòng điện chạy vào hai tụ điện và trung tính nguồn được tính toán như sau [30]:

$$\begin{cases} i_{CP} = i_L - i_{load} \\ i_{CN} = i_L \\ i_O = -i_{load} \end{cases} \quad (2.11)$$

Trong đó:  $i_{CP}$ ,  $i_{CN}$ ,  $i_O$ ,  $i_{load}$ ,  $i_L$  lần lượt là dòng điện qua tụ  $C_P$ ,  $C_N$ , dòng trung tính, dòng tương đương phía nghịch lưu và dòng qua cuộn dây  $L_B$ .

Có thể thấy rằng dòng điện chạy qua tụ  $C_P$  có giá trị nhỏ hơn dòng chạy qua tụ  $C_N$ . Do đó, điện áp trên tụ  $C_P$  sẽ có xu hướng tăng chậm hơn điện áp trên tụ  $C_N$ , giả sử rằng hai tụ điện có cùng điện dung. Ngoài ra, dòng điện trung tính mang giá trị âm cũng một lần nữa chứng minh cho luận điểm này [26].

Tương tự, khi vector [ONN] được sử dụng như hình 2.5(b), các dòng điện qua tụ điện và trung tính nguồn được tính toán như sau [30]:

$$\begin{cases} i_{CP} = i_L \\ i_{CN} = i_L - i_{load} \\ i_O = i_{load} \end{cases} \quad (2.12)$$

Dựa vào phương trình (2.12), có thể chứng minh rằng, việc sử dụng vector nhỏ [ONN] làm cho điện áp trên tụ  $C_P$  có xu hướng tăng nhanh hơn điện áp trên tụ  $C_N$ . Các luận điểm này cũng đúng với các vector dạng P và N khác và các chế độ hoạt động khác của cấu trúc 3L-qSBT<sup>2</sup>I.

Dựa trên các phân tích trên, việc cân bằng điện thế điểm trung tính có thể được chia thành hai trường hợp như sau: 1) điện áp tụ  $C_P$  lớn hơn điện áp tụ  $C_N$ , 2) điện áp tụ  $C_N$  lớn hơn điện áp tụ  $C_P$ .

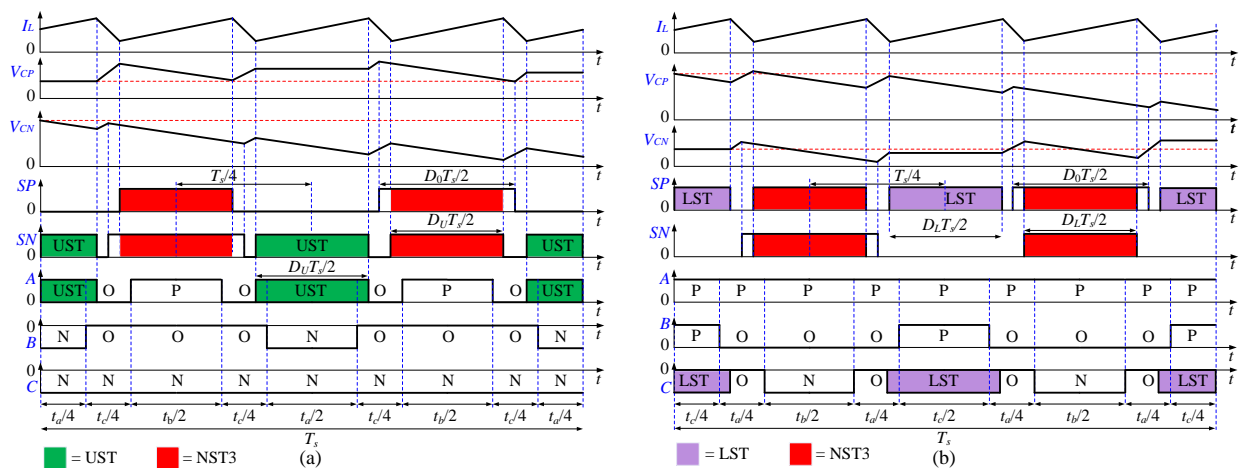
Đối với trường hợp 1,  $V_{CP} \geq V_{CN}$ , các vector nhỏ dạng P sẽ được sử dụng thay cho các vector nhỏ dạng N nhằm tăng cường điện áp tụ  $C_N$  và giảm điện áp tụ  $C_P$ . Khi này, chuỗi xung của bộ nghịch lưu cho vùng 2 của sector I được xác định như sau: [PPO]-[POO]-[PON]-[POO]-[PPO] và lặp lại.

Đối với trường hợp 2,  $V_{CP} < V_{CN}$ , các vector nhỏ dạng N sẽ được sử dụng thay cho các vector nhỏ dạng P nhằm tăng cường điện áp tụ  $C_P$  và giảm điện áp tụ  $C_N$ . Khi này, chuỗi xung của bộ nghịch lưu cho vùng 2 của sector I được xác định như sau: [ONN]-[OON]-[PON]-[OON]-[ONN] và lặp lại.

Nhằm đảm bảo đặc tính tăng giảm áp của bộ nghịch lưu, các trạng thái UST và LST được chèn vào chuỗi xung đã nêu trên, được biểu diễn như hình 2.6. Phương pháp chèn UST và LST đã được đề cập chi tiết trong phần 2.1.

Như được đề cập trong phần 2.1, trạng thái UST và LST có thể được chèn vào các pha đang hoạt động ở trạng thái “O”. Tuy nhiên, trong phương pháp đề xuất, pha không có sự chuyển mạch trong các vector nhỏ sẽ được chọn để chèn trạng thái UST và LST nhằm giảm tổn hao do chuyển mạch. Ví dụ, trong hình 2.6(a), pha A luôn hoạt

động ở trạng thái “O” đối với các vector nhỏ trong khi pha B xuất hiện hai chuyển mạch từ “O” sang “N” và ngược lại. Do đó, chỉ pha A được chọn để chèn trạng thái UST. Tương tự như vậy pha C sẽ được chọn để chèn trạng thái LST cho chuỗi xung hình 2.6(b). Có thể thấy rằng, điện áp của tụ  $C_P$  tăng trong khi điện áp trên tụ  $C_N$  giảm cho trường hợp chuỗi xung hình 2.6(a) được áp dụng. Ngược lại, điện áp trên tụ  $C_P$  giảm trong khi điện áp tụ  $C_N$  tăng cho trường hợp chuỗi xung trên hình 2.6(b) được chọn. Điều này giúp cân bằng điện thế điểm trung tính mà không ảnh hưởng đến hệ số tăng áp của bộ nghịch lưu. Ưu điểm này có thể được giải thích bởi vì hai trạng thái UST và LST tạo ra cùng một điện áp trên cuộn dây  $L_B$ . Nhằm tăng cường hệ số tăng áp và cải thiện chất lượng dòng điện qua cuộn cảm, tín hiệu NST 3 được dịch pha  $90^\circ$  so với tín hiệu UST/LST phía mạch 3L-T<sup>2</sup>I. Ngoài ra hệ số công tác của khóa  $S_P$  và  $S_N$  cũng được mở rộng thành  $D_0.T_S/2$ .



Hình 2.6. Chuỗi xung được đề xuất cho vùng 2 sector I, UST, LST và xung kích cho khóa  $S_P, S_N$  của mạng nguồn kháng.

Chuỗi xung và pha chèn trạng thái UST và LST cho các vùng còn lại có thể xác định bằng cách tương tự. Cụ thể được biểu thị như bảng 2.3 như sau:

Bảng 2.3. Chuỗi xung và pha chèn UST/LST cho giải thuật đề xuất.

Sector	Vùng		Chuỗi xung	Pha chèn UST/LST
I	1	$V_{C1} < V_{C2}$	[ONN]-[OON]-[OOO]-[OON]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[PPO]-[POO]-[OOO]-[POO]-[PPO] và lặp lại	C
	2	$V_{C1} < V_{C2}$	[ONN]-[OON]-[PON]-[OON]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[PPO]-[POO]-[PON]-[POO]-[PPO] và lặp lại	C
	3	$V_{C1} < V_{C2}$	[OON]-[PON]-[PPN]-[PON]-[OON] và lặp lại	B
		$V_{C1} > V_{C2}$	[PPO]-[PPN]-[PON]-[PPN]-[PPO] và lặp lại	C
	4	$V_{C1} < V_{C2}$	[ONN]-[PNN]-[PON]-[PNN]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[POO]-[PON]-[PNN]-[PON]-[POO] và lặp lại	B
II	1	$V_{C1} < V_{C2}$	[NON]-[OON]-[OOO]-[OON]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[PPO]-[OPO]-[OOO]-[OPO]-[PPO] và lặp lại	C
	2	$V_{C1} < V_{C2}$	[NON]-[OON]-[OPN]-[OON]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[PPO]-[OPO]-[OPN]-[OPO]-[PPO] và lặp lại	C
	3	$V_{C1} < V_{C2}$	[NON]-[NPN]-[OPN]-[NPN]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[OPO]-[OPN]-[NPN]-[OPN]-[OPO] và lặp lại	A
	4	$V_{C1} < V_{C2}$	[OON]-[OPN]-[PPN]-[OPN]-[OON] và lặp lại	A
		$V_{C1} > V_{C2}$	[PPO]-[PPN]-[OPN]-[PPN]-[PPO] và lặp lại	C
III	1	$V_{C1} < V_{C2}$	[NON]-[NOO]-[OOO]-[NOO]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[OPP]-[OPO]-[OOO]-[OPO]-[OPP] và lặp lại	A
	2	$V_{C1} < V_{C2}$	[NON]-[NOO]-[NPO]-[NOO]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[OPP]-[OPO]-[NPO]-[OPO]-[OPP] và lặp lại	A
	3	$V_{C1} < V_{C2}$	[NOO]-[NPO]-[NPP]-[NPO]-[NOO] và lặp lại	C
		$V_{C1} > V_{C2}$	[OPP]-[NPP]-[NPO]-[NPP]-[OPP] và lặp lại	A
	4	$V_{C1} < V_{C2}$	[NON]-[NPN]-[NPO]-[NPN]-[NON] và lặp lại	B
		$V_{C1} > V_{C2}$	[OPO]-[NPO]-[NPN]-[NPO]-[OPO] và lặp lại	C
IV	1	$V_{C1} < V_{C2}$	[NNO]-[NOO]-[OOO]-[NOO]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[OPP]-[OOP]-[OOO]-[OOP]-[OPP] và lặp lại	A
	2	$V_{C1} < V_{C2}$	[NNO]-[NOO]-[NOP]-[NOO]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[OPP]-[OOP]-[NOP]-[OOP]-[OPP] và lặp lại	A
	3	$V_{C1} < V_{C2}$	[NNO]-[NNP]-[NOP]-[NNP]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[OOP]-[NOP]-[NNP]-[NOP]-[OOP] và lặp lại	B
	4	$V_{C1} < V_{C2}$	[NOO]-[NOP]-[NPP]-[NOP]-[NOO] và lặp lại	B
		$V_{C1} > V_{C2}$	[OPP]-[NPP]-[NOP]-[NPP]-[OPP] và lặp lại	C
V	1	$V_{C1} < V_{C2}$	[NNO]-[ONO]-[OOO]-[ONO]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[POP]-[OOP]-[OOO]-[OOP]-[POP] và lặp lại	B
	2	$V_{C1} < V_{C2}$	[NNO]-[ONO]-[ONP]-[ONO]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[POP]-[OOP]-[ONP]-[OOP]-[POP] và lặp lại	B
	3	$V_{C1} < V_{C2}$	[ONO]-[ONP]-[PNP]-[ONP]-[ONO] và lặp lại	A
		$V_{C1} > V_{C2}$	[POP]-[PNP]-[ONP]-[PNP]-[POP] và lặp lại	B
	4	$V_{C1} < V_{C2}$	[NNO]-[NNP]-[ONP]-[NNP]-[NNO] và lặp lại	C
		$V_{C1} > V_{C2}$	[OOP]-[ONP]-[NNP]-[ONP]-[OOP] và lặp lại	A

VI	1	$V_{C1} < V_{C2}$	[ONN]-[ONO]-[OOO]-[ONO]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[POP]-[POO]-[OOO]-[POO]-[POP] và lặp lại	B
	2	$V_{C1} < V_{C2}$	[ONN]-[ONO]-[PNO]-[ONO]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[POP]-[POO]-[PNO]-[POO]-[POP] và lặp lại	B
	3	$V_{C1} < V_{C2}$	[ONN]-[PNN]-[PNO]-[PNN]-[ONN] và lặp lại	A
		$V_{C1} > V_{C2}$	[POO]-[PNO]-[PNN]-[PNO]-[POO] và lặp lại	C
	4	$V_{C1} < V_{C2}$	[ONO]-[PNO]-[PNP]-[PNO]-[ONO] và lặp lại	C
		$V_{C1} > V_{C2}$	[POP]-[PNP]-[PNO]-[PNP]-[POP] và lặp lại	B

### 2.2.3 Phân tích trạng thái xác lập

Thời gian tác dụng của các trạng thái UST và LST được điều khiển bằng nhau và được định nghĩa bằng hệ số  $D_{ST}$ , và hai trạng thái này được gọi chung là trạng thái ST trong suốt quá trình phân tích. Lưu ý rằng, điều này không làm ảnh hưởng đến tính đúng đắn của các công thức được chứng minh phía sau vì hai trạng thái này tạo ra cùng một giá trị điện áp trên cuộn dây  $L_B$ .

Dựa vào các chế độ hoạt động được trình bày trong phần 2.1 và giản đồ xung được trình bày trong hình 2.6, có thể xác định thời gian tác dụng của các chế độ NST và ST như sau. Tổng thời gian tồn tại của chế độ NST 1 là  $(D_0 - D_{ST})T_s/2$ , trong mỗi chu kỳ sóng mang. Tổng thời gian của trạng thái NST 2 bằng với tổng thời gian của trạng thái NST 1,  $(D_0 - D_{ST})T_s/2$ . Chế độ NST 3 và chế độ ST có thời gian tồn tại bằng nhau và được xác định là  $D_{ST}.T_s$ . Thời gian còn lại của một chu kỳ chuyển mạch là  $(1 - D_0 - D_{ST})T_s$ . Thời gian này cũng là thời gian tác dụng của chế độ NST 4. Giả sử, các tụ điện  $C_P$  và  $C_N$  có giá trị đủ lớn để điện áp đặt trên các tụ điện là hằng số trong suốt quá trình hoạt động, và  $V_{CP} = V_{CN} = V_C$ . Khi này, do điện áp trung bình trên cuộn dây  $L_B$  bằng không trong mỗi chu kỳ sóng mang, nên điện áp rơi trên các tụ điện được tính toán như sau [30]:

$$V_C = V_{CP} = V_{CN} = V_{dc} / (2 - 3D_{ST} - D_0) \quad (2.13)$$

Trong đó:

$V_{CP}, V_{CN}$ : điện áp trên các tụ điện  $C_P$  và  $C_N$ .

$V_{dc}$ : điện áp DC ngõ vào.

$D_{ST}$ : hệ số trùng dẫn.

$D_0$ : hệ số mở rộng của hai khóa  $S_P$  và  $S_N$ .

Hệ số tăng áp ( $B$ ) của mạch nghịch lưu được định nghĩa như sau [30]:

$$B = \frac{V_{PN}}{V_{dc}} = \frac{2}{2 - 3D_{ST} - D_0} \quad (2.14)$$

Giá trị đỉnh của điện áp pha ngõ ra được xác định như sau [30]:

$$V_{x,peak} = \frac{2}{\sqrt{3}} MV_C = \frac{2}{\sqrt{3}} \cdot \frac{M \cdot V_{dc}}{2 - 3D_{ST} - D_0} \quad (2.15)$$

Độ lợi điện áp ( $G$ ) của bộ nghịch lưu được tính toán như sau [30]:

$$G = \frac{V_{x,peak}}{V_{dc} / 2} = \frac{4}{\sqrt{3}} \cdot \frac{M}{2 - 3D_{ST} - D_0} \quad (2.16)$$

Như được đề cập trong phần 2.1, các trạng thái UST và LST được chèn vào các vector nhỏ, mà tổng thời gian nhỏ nhất của các vector nhỏ trong mỗi chu kỳ sóng mang có thể được xác định là  $2(1 - M)T_s$ , dựa vào bảng 2.2. Do đó, để không ảnh hưởng đến các chế độ khác của mạch, thời gian tác dụng của trạng thái UST và LST phải nhỏ hơn thời gian tác dụng của các vector nhỏ. Vì thế mối quan hệ giữa  $D_{ST}$  và  $M$  được xác định như sau [30]:

$$D_{ST} = 2 \times (1 - M) \quad (2.17)$$

Có thể thấy rằng, trong khi các giải thuật truyền thống sử dụng giá trị cực đại của hệ số trùng dẫn là  $(1 - M)$ , giải thuật đề xuất có thể tăng cường gấp đôi hệ số trùng dẫn với cùng một chỉ số điều chế. Từ đó giúp gia tăng hệ số tăng áp và độ lợi điện áp, giúp khai thác triệt để chỉ số điều chế.

Mối quan hệ giữa hệ số  $D_0$  và hệ số trùng dẫn  $D_{ST}$  được biểu diễn như sau [30]:

$$D_{ST} \leq D_0 \leq 1 - D_{ST} \quad (2.18)$$

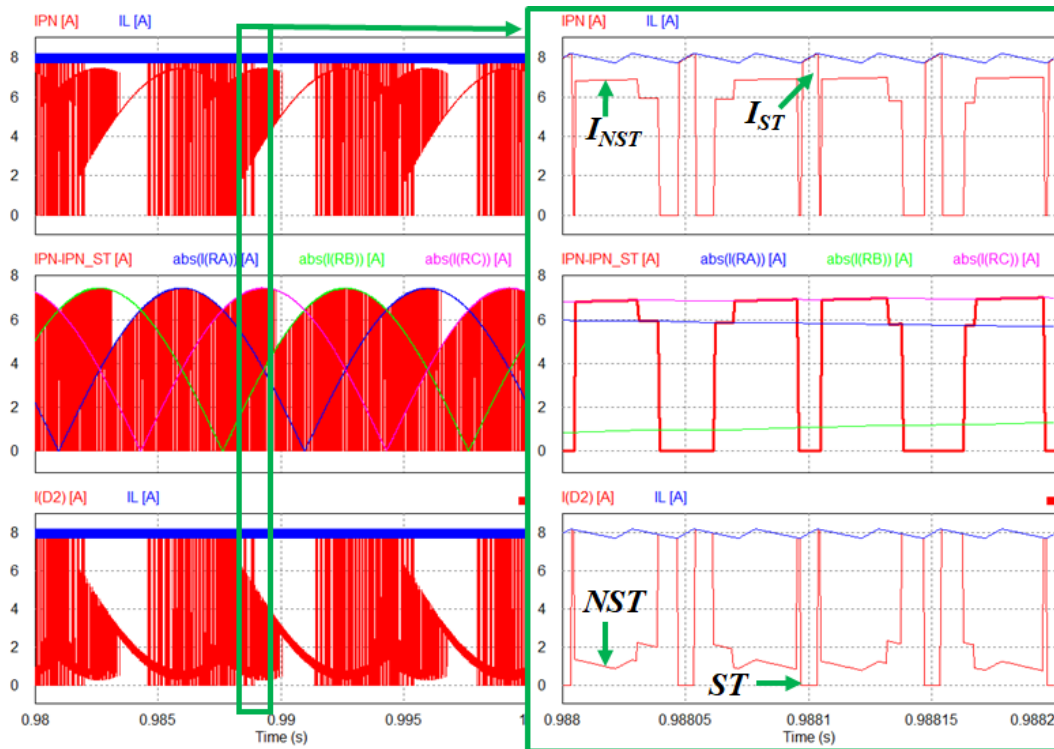
Hệ số công tác  $D_0$  được thay đổi trong đoạn  $[D_{ST}, 1 - D_{ST}]$  giúp cho bộ nghịch lưu linh hoạt hơn trong quá trình điều khiển hệ số tăng áp. Khi áp dụng giá trị  $D_{ST}$  cho hệ số  $D_0$ , mạch nghịch lưu đạt được giá trị nhỏ nhất của độ lợi điện áp như sau. Lưu ý rằng hệ số trùng dẫn được cực đại hóa và bằng  $2(1 - M)$ .

$$G_{\min} = \frac{2}{\sqrt{3}} \frac{M}{4M - 3} \quad (2.19)$$

Khi áp dụng giá trị  $1 - D_{ST}$  cho hệ số  $D_0$ , giá trị cực đại của độ lợi điện áp đạt được như sau [30]:

$$G_{\max} = \frac{4}{\sqrt{3}} \frac{M}{4M - 3} = 2G_{\min} \quad (2.20)$$

#### 2.2.4 Giới hạn của hệ số công suất tải khi sử dụng giải thuật đề xuất



Hình 2.7. Kết quả mô phỏng khi  $V_{dc} = 210\text{-V}$ , tải  $RL\ 20\Omega - 20\text{mH}$ .

Dựa vào các chế độ hoạt động trình bày trong phần 2.1, trong chế độ NST, dòng điện của diode  $D_2$  được xác định như sau:

$$I_{D2,NST} = I_L - I_{PN,NST} \quad (2.21)$$

Trong đó:  $I_{D2,NST}$  là dòng điện của diode  $D_2$  và  $I_{PN,NST}$  là dòng điện tương đương phía nghịch lưu trong trạng thái NST.

Hình 2.7 trình bày kết quả mô phỏng của giải thuật đề xuất với ngõ ra kết nối với tải RL có giá trị 20-Ω và 20-mH. Ở dạng sóng phóng to của dòng điện tương đương phía nghịch lưu  $I_{PN}$ , có thể thấy rằng,  $I_{PN}$  đạt được giá trị  $I_L$  trong trạng thái UST/LST. Trong trạng thái NST, dòng điện cực đại của  $I_{PN,NST}$  bằng giá trị cực đại của giá trị tuyệt đối dòng điện tải, như biểu thị ở hình 2.7. Do đó, giá trị cực đại của  $I_{PN,NST,max}$  có thể được xác định như sau:

$$I_{PN,NST,max} = I_{X,peak} = 2P_O / (3 \cos \varphi \times V_{X,peak}) \quad (2.22)$$

Trong đó:  $P_O$  là công suất ngõ ra,  $\cos \varphi$  là hệ số công suất của tải,  $I_{X,peak}$  là biên độ đỉnh của dòng điện ngõ ra.

Dòng điện trung bình của cuộn dây tăng áp chính là dòng điện ngõ vào của bộ nghịch lưu. Giả sử, công suất tổn hao trên mạch là không đáng kể, áp dụng quy tắc cân bằng công suất, dòng điện của cuộn dây tăng áp có thể tính toán sau:

$$I_L = P_O / V_{dc} \quad (2.23)$$

Thay (2.22) và (2.23) vào (2.21), có thể tính toán dòng điện nhỏ nhất của diode  $D_2$  như sau:

$$I_{D2,min} = \frac{P_O}{V_{dc}} - \frac{2}{3} \frac{P_O}{\cos \varphi \times V_{X,peak}} \quad (2.24)$$

Để không ảnh hưởng đến các chế độ hoạt động được phân tích ở trên, dòng điện của diode  $D_2$  trong trạng thái NST phải lớn hơn 0-A. Khi này hệ số  $\cos \varphi$  của tải được tính toán như sau:



$$I_{D2,\min} > 0 \Leftrightarrow \cos \varphi > \frac{2}{3} \frac{V_{dc}}{V_{X,peak}} = \frac{4}{3G} \quad (2.25)$$

### 2.2.5 Lựa chọn linh kiện cho cấu hình 3L-qSBT<sup>2</sup>I.

#### 2.2.5.1 Lựa chọn cuộn dây và tụ điện.

Dựa vào (2.1), độ gợn sóng dòng điện qua cuộn dây  $L_B$  được tính toán như sau:

$$\Delta I_L = \frac{V_{dc} D_{ST} T_S}{2L_B} \quad (2.26)$$

Trong đó:  $\Delta I_L$  – độ gợn sóng dòng điện qua cuộn dây  $L_B$ .

Cuộn dây  $L_B$  được lựa chọn sao cho  $\Delta I_L \leq x\% I_L$  với  $x\%$  là phần trăm độ gợn sóng tối thiểu cho phép của cuộn dây.

$$L_B \geq \frac{V_{dc} D_{ST} T_S}{2x\% I_L} \quad (2.27)$$

Trong trạng thái NST 3, hai tụ điện  $C_P$  và  $C_N$  xả năng lượng với dòng điện của hai tụ điện được xác định là  $-I_{PN}$ . Do đó, điện áp trên tụ điện giảm với độ gợn sóng dòng điện được tính toán như sau:

$$\Delta V_{CP} = \Delta V_{CN} = \frac{I_{PN} D_{ST} T_S}{2C_P} = \frac{I_{PN} D_{ST} T_S}{2C_N} \quad (2.28)$$

Khi này, tụ điện được lựa chọn sao cho  $\Delta V_C \leq y\% V_C$ , với  $y\%$  là phần trăm độ gợn sóng điện áp cho phép của điện áp trên tụ điện.

$$C_P = C_N \geq \frac{I_{PN} D_{ST} T_S}{2y\% V_{CP}} = \frac{I_{PN} D_{ST} T_S}{2y\% V_{CN}} \quad (2.29)$$

#### 2.2.5.2 Lựa chọn linh kiện bán dẫn.

Tương tự như các mạch nghịch lưu một tầng truyền thống, các diode và khóa bán dẫn tích cực phía mạng nguồn kháng và phía nghịch lưu được thiết kế để dẫn dòng điện

trùng dẫn trong trạng thái UST/LST. Do đó, dòng điện qua các linh kiện này được lựa chọn như sau:

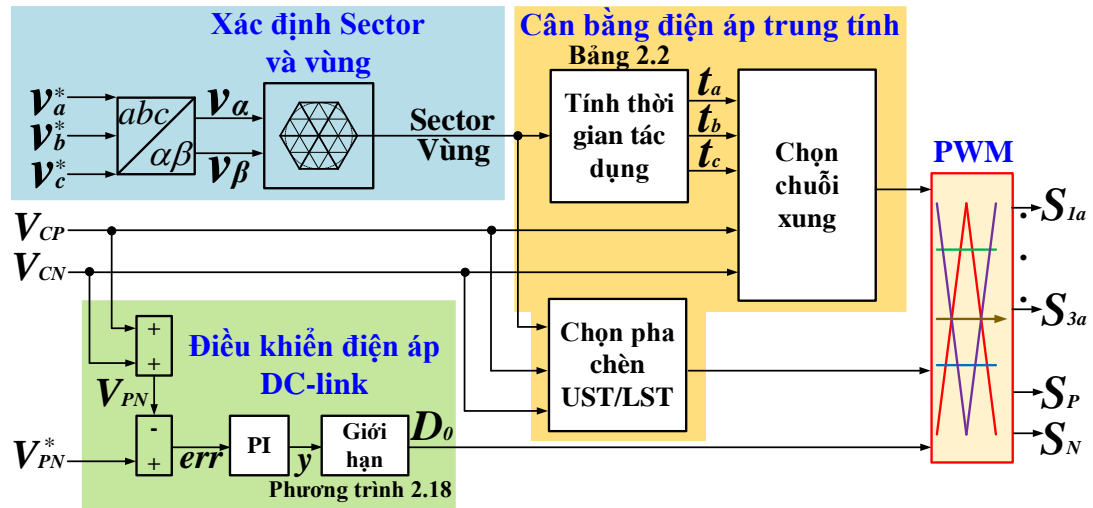
$$I_S = I_D = I_L \quad (2.30)$$

Trong đó:  $I_S$  và  $I_D$  – dòng điện qua khóa bán dẫn tích cực và diode.

Điện áp đặt trên diode và khóa bán dẫn  $S_P$ ,  $S_N$  và khóa bán dẫn hai chiều  $S_{2X}$  phía mạch nghịch lưu được thiết kế với điện áp đặt là  $\frac{1}{2}$  điện áp DC-link. Trong khi đó, khóa bán dẫn  $S_{1X}$  và  $S_{3X}$  phía nghịch lưu được lựa chọn với điện áp đặt là điện áp DC-link. Điện áp đặt trên các diode và khóa tích cực được trình bày như công thức sau:

$$\begin{cases} V_{SP} = V_{SN} = V_{SX2} = V_D = V_{PN} / 2 \\ V_{SX1} = V_{SX3} = V_{PN} \end{cases} \quad (2.31)$$

### 2.2.6 Điều khiển vòng kín cho 3L-qSBT<sup>2</sup>I.



Hình 2.8. Điều khiển vòng kín cho 3L-qSBT<sup>2</sup>I với giải thuật đề xuất.

Để cấu hình 3L-qSBT<sup>2</sup>I có thể hoạt động được trong các điều kiện khác nhau mà vẫn đảm bảo các giá trị thông số ngõ ra yêu cầu, một phương pháp điều khiển vòng kín đơn giản được thực thi cho giải thuật đề xuất. Theo đó, việc điều khiển điện áp ngõ ra được chia thành hai phần chính: 1) điều khiển điện áp trên thanh cái DC-link và 2) điều

kiểm điện áp ngõ ra. Bộ điều khiển PI được sử dụng để đạt được các yêu cầu này. Hình 2.8 trình bày sơ đồ tổng quát của phương pháp điều khiển đề xuất.

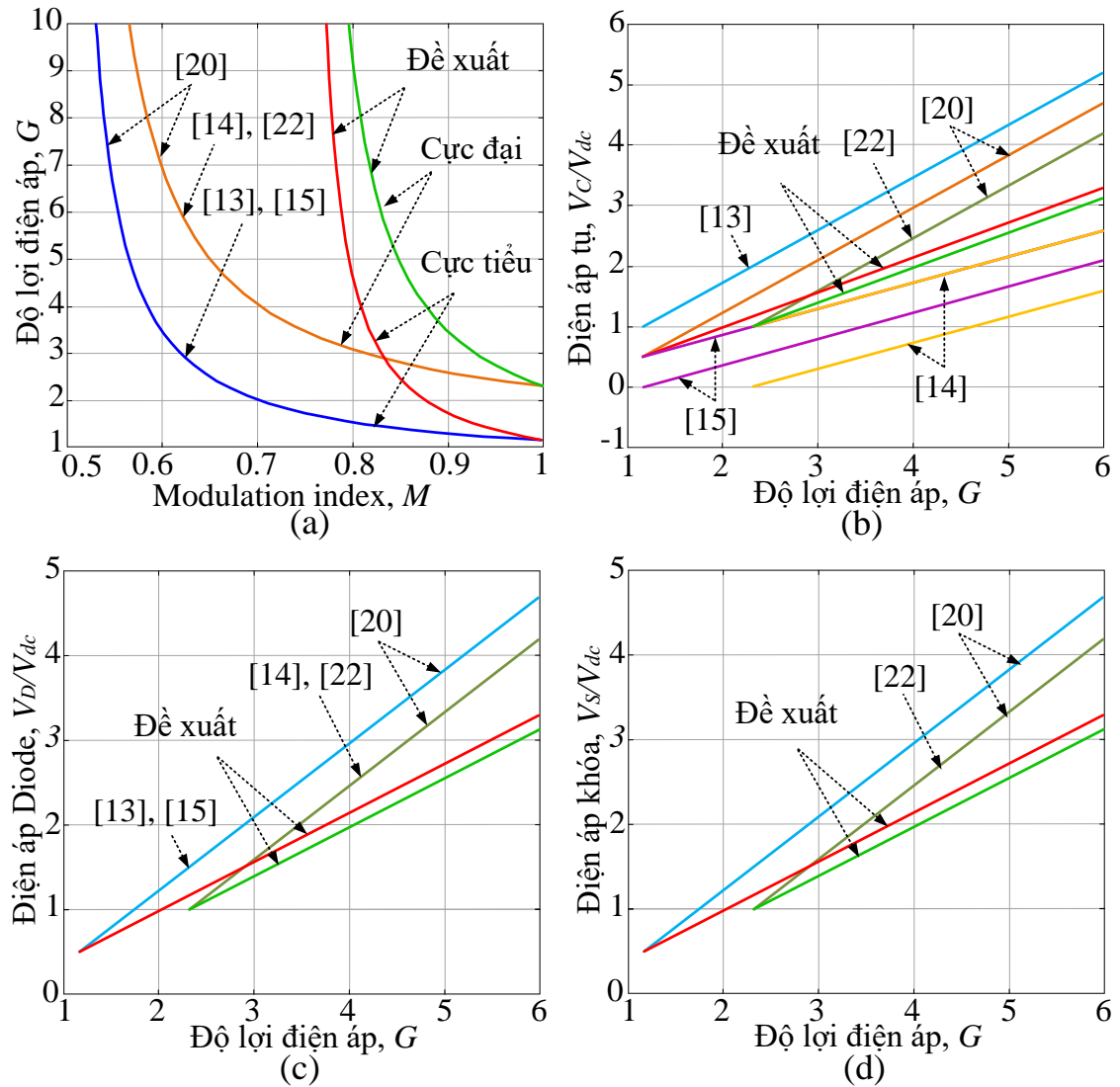
Dựa vào (2.14), điện áp DC-link,  $V_{PN}$ , được điều khiển thông qua hệ số trùng dẫn,  $D_{ST}$  và hệ số  $D_0$ . Hệ số  $D_{ST}$  có hệ số tác động là 3 trong khi hệ số tác động của  $D_0$  là 1, do đó việc thay đổi  $D_{ST}$  sẽ dẫn đến sự dao động lớn ở điện áp DC-link, trong khi đó độ dao động của  $V_{PN}$  sẽ thấp hơn khi sử dụng  $D_0$  cho việc điều khiển. Ngoài ra, giới hạn của  $D_0$  lớn hơn  $D_{ST}$ , nên việc điều khiển cũng sẽ được thực hiện dễ dàng hơn. Do đó, trong phương pháp này,  $D_{ST}$  sẽ được cố định bằng hằng số trong suốt quá trình hoạt động. Theo đó, hệ số  $D_0$  sẽ được tính toán dựa vào sai số giữa điện áp DC-link mong muốn ( $V_{PN}^*$ ) và giá trị thực tế  $V_{PN}$ . Lưu ý rằng, điện áp DC-link sẽ có dạng xung vuông do việc áp dụng trạng thái ST, nên điện áp DC-link không thể trực tiếp hồi tiếp về bộ điều khiển. Thay vào đó, điện áp trên hai tụ điện sẽ được hồi tiếp về bộ điều khiển, sau đó điện áp DC-link sẽ được tính bằng tổng điện áp trên hai tụ điện. Bộ điều khiển PI được sử dụng để tối thiểu hóa sai số giữa giá trị DC-link mong muốn và giá trị thực tế. Ngõ ra của bộ PI,  $y$ , được giới hạn bằng phương trình (2.18) để đảm bảo  $D_0$  không vượt ngoài các giá trị cho phép. Khi điện áp  $V_{PN}$  được đạt được giá trị mong muốn, điện áp tải ngõ ra có thể được điều khiển thông qua việc sử dụng chỉ số điều chế thích hợp. Quá trình này, không cần sử dụng các bộ điều khiển vòng kín.

Từ giá trị mong muốn của điện áp tải ngõ ra, có thể xác định vector điện áp tham chiếu trên hệ trục tọa độ  $\alpha\beta$  bằng cách sử dụng biến đổi abc -  $\alpha\beta$  như phương trình (2.6). Sau khi xác định vector tham chiếu, điểm mút của vector này được sử dụng để xác định vị trí của nó (sector và vùng hoạt động). Thời gian tác dụng của các vector lân cận được tính toán dựa trên bảng 2.2. Giá trị tức thời của điện áp trên hai tụ điện được so sánh với nhau nhằm quyết định chuỗi xung được chọn, và pha được dùng để chèn trạng thái UST/LST.

Cuối cùng, tất cả các giá trị  $D_0$ , chuỗi xung chuyển mạch, trạng thái UST/LST

được đưa đến bộ tạo xung kích cho các khóa bán dẫn. Khi này, có thể nói rằng mạch nghịch lưu đã được điều khiển một cách tổng quát nhằm đạt được điện áp ngõ ra mong muốn và cân bằng điện áp trên các tụ điện.

### 2.3 So sánh giải thuật đề xuất và các nghiên cứu đã công bố.



Hình 2.9. (a)  $M$  và  $G$ , (b)  $G$  và điện áp của tụ điện, (c)  $G$  và điện áp rơi trên diode, (d)  $G$  và điện áp rơi trên khóa phía mạng nguồn kháng.

Nhằm làm nổi bật các ưu điểm của giải thuật đề xuất, một số các nghiên cứu đã công bố về mạch nghịch lưu một tầng và giải thuật điều chế được so sánh với giải thuật SVM đề xuất. Các cấu hình được chọn là: mạch 3L-ZSI sử dụng một mạch nguồn Z [13], mạch ZSI cải tiến (3L-MZST<sup>2</sup>I) [14], mạch 3L-qZST<sup>2</sup>I [15], mạch 3L-qSBT<sup>2</sup>I trong [20] và AIS-TLI trong [22]. Trong các nghiên cứu này, [13], [14] và giải thuật đề xuất sử dụng trạng thái UST/LST thay cho FST như [15], [20], [22]. Để công bằng trong việc so sánh, phương pháp tiêm sóng hài bậc ba sẽ được áp dụng thay cho phương pháp sine-PWM truyền thống trong nghiên cứu [14], [20] và [22]. Lưu ý rằng, sự thay đổi này không làm ảnh hưởng đến hoạt động của mạch. Tuy nhiên, độ lợi điện áp sẽ được cải thiện gấp 1.15 lần giá trị ban đầu (khi áp dụng sine-PWM). Để đồng bộ trong quá trình phân tích, hệ số  $D_{ST}$  được sử dụng cho UST, LST và FST. Bảng 2.4 mô tả một cách tổng quát các nghiên cứu đã công bố và giải thuật đề xuất. Hình 2.9 trình bày các khảo sát về độ lợi của mạch nghịch lưu và tỉ số điện áp rơi trên linh kiện của giải thuật đề xuất và các nghiên cứu trước đó.

Bảng 2.4. So sánh giữa giải thuật đề xuất và các cấu hình và giải thuật đã công bố.

	3L-ZSI/1-LC [13]	3L-MZSI [14]	3L-qZSI/2-LC [15]	3L-qSBI/1-L [22]	3L-qSBI/1-L [20]	Đề xuất
Hệ số trùng dẫn, $D_{ST}$	$1 - M$	$1 - M$	$1 - M$	$1 - M$	$1 - M$	$2(1 - M)$
Hệ số tăng áp, $B$	$1/(1 - 2D_{ST})$	$2/(1 - 2D_{ST})$	$1/(1 - 2D_{ST})$	$2/(1 - 2D_{ST})$	$2/(3 - 2D_{ST} - D_0)$	$2/(3 - 2D_{ST} - D_0)$
Độ lợi điện áp, $G$	$1.15 \cdot MB$	$1.15 \cdot MB$	$1.15 \cdot MB$	$1.15 \cdot MB$	$1.15 \cdot MB$	$1.15 \cdot M B$
Điện áp rơi trên tụ, $V_c/V_{dc}$	$(1 - D_{ST})B$	$D_{ST} \cdot B/2$ $(1 - D_{ST})B/2$	$D_{ST} \cdot B/2$ $(1 - D_{ST})B/2$	$B/2$	$B/2$	$B/2$
Điện áp rơi trên diode, $V_D/V_{dc}$	$B/2$	$B/2$	$B/2$	$B/2$	$B/2$	$B/2$
Điện áp rơi trên khóa, $V_S/V_{dc}$	NA	NA	NA	$B/2$	$B/2$	$B/2$
Cuộn cảm	2	2	4	1	1	1
Tụ điện	2	4	4	2	2	2
Diode	2	3	2	2	4	4
Khóa bán dẫn	NA	NA	NA	1	2	2
Độ gợn sóng dòng điện ngõ vào	Rất Cao	Cao	Cao	Cao	Nhỏ	Nhỏ
Dòng điện ngõ vào	Gián đoạn	Liên tục	Liên tục	Liên tục	Liên tục	Liên tục
Cân bằng điện thế điểm trung tính	Phức tạp	Phức tạp	Phức tạp	Đơn giản	Đơn giản	Đơn giản
Chất lượng điện áp	Cao	Cao	Thấp	Thấp	Thấp	Cao

Hình 2.9(a) biểu diễn độ lợi điện áp của giải thuật SVM đề xuất và các nghiên cứu trước đó. Trong các nghiên cứu này, giải thuật đề xuất tạo ra độ lợi điện áp cao nhất. Điều này có thể được giải thích bằng việc sử dụng hệ số trùng dẫn gấp đôi so với [13] – [22], với cùng chỉ số điều chế, được mô tả trong bảng 2.4. Cụ thể, phương pháp đề xuất giới hạn hệ số  $D_{ST}$  tại giá trị  $2(1 - M)$ , trong khi đó các nghiên cứu [13] – [22] giới hạn  $D_{ST}$  tại giá trị  $1 - M$ . Với giá trị cao của độ lợi  $G$ , mạch 3L-qSBI<sup>2</sup>I sử dụng giải thuật đề xuất yêu cầu giá trị  $D_{ST}$  nhỏ hơn các nghiên cứu khác để tạo ra cùng một giá trị  $G$ . Ví dụ, nếu phương pháp SVM đề xuất sử dụng giá trị  $k$  cho  $D_{ST}$ , nhằm đảm bảo độ lợi điện áp, cấu hình ZSI trong [13] và qZSI trong [15] yêu cầu giá trị  $(1+k)/3$  cho  $D_{ST}$ , cấu hình MZSI trong [14] và cấu hình qSBI trong [20], [22] yêu cầu giá trị  $15k/(1+k)$  cho  $D_{ST}$ . Lưu ý rằng, giá trị cao nhất của độ lợi điện áp được dùng để tính toán các hệ số trùng dẫn trên, và  $k < 0.5$ . Có thể thấy rằng, giải thuật đề xuất sử dụng hệ số trùng dẫn thấp nhất. Điều này giúp cho bộ nghịch lưu cải thiện được điện áp rơi trên các linh kiện, giảm tổn hao dẫn trong trạng thái trùng dẫn, và cải thiện chất lượng điện áp ngõ ra.

Các khảo sát về tỉ số điện áp rơi trên tụ điện, diode và khóa bán dẫn phía mạch nguồn Z lần lượt được trình bày trong hình 2.9(b) – 2.9(d). Có thể thấy rằng nghiên cứu đề xuất có ưu điểm hơn so với các nghiên cứu trước đó bằng cách tạo ra tỉ số điện áp rơi trên các linh kiện thấp nhất. Ưu điểm này chủ yếu đến từ việc tạo ra độ lợi điện áp cao.

Qua các phân tích trên, có thể kết luận rằng giải thuật được đề xuất giúp cải thiện độ lợi điện áp và giảm điện áp đặt trên các linh kiện.

## 2.4 Mô phỏng và thực nghiệm với giải thuật SVM đề xuất

### 2.4.1 Kết quả mô phỏng

Bảng 2.5 Thông số mô phỏng và thực nghiệm

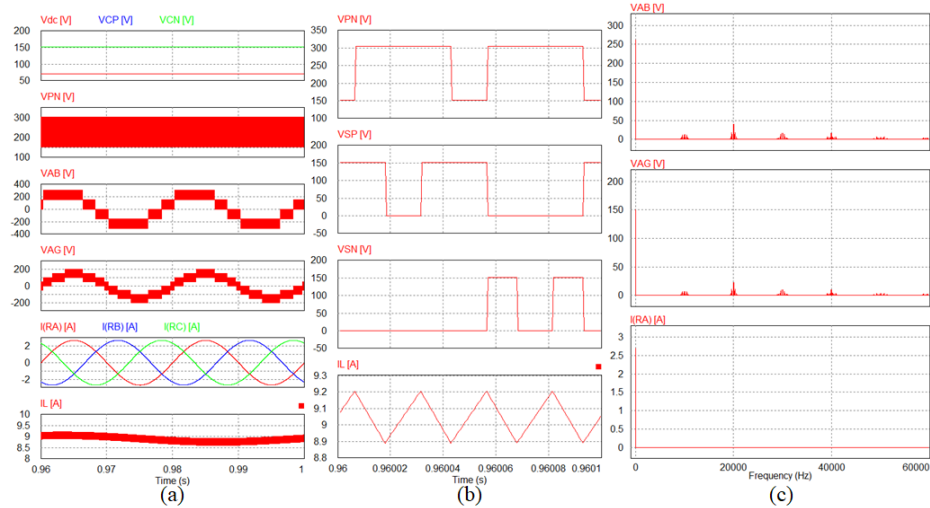
Thành phần/thông số		Giá trị
Điện áp DC ngõ vào	$V_{dc}$	70 V – 210 V
Điện áp RMS ngõ ra	$V_{x,RMS}$	110
Tần số nghịch lưu	$f_0$	50 Hz
Tần số chuyển mạch	$f_s$	10 kHz
Cuộn cảm ngõ vào	$L_B$	3 mH/20 A
Tụ điện	$C_P$ và $C_N$	2 mF/400 V
Bộ lọc LC	$L_f$ và $C_f$	3 mH và 10 $\mu$ F
Tải R	$R$	56 $\Omega$
Cảm biến áp		LEM LV20-P

Phần mềm PSIM được sử dụng để kiểm chứng tính đúng đắn của giải thuật đề xuất. Thông số sử dụng trong mô phỏng được liệt kê ở bảng 2.5. Đầu tiên, giải thuật đề xuất được kiểm chứng với hai trường hợp điện áp ngõ vào là 70-V và 210-V. Nhằm tạo ra điện áp 110- $V_{RMS}$  tại ngõ ra, chỉ số điều chế  $M$ , hệ số trùng dẫn  $D_{ST}$  và hệ số  $D_0$  được lựa chọn tương ứng là 0.8616, 0.2768, và 0.7232 đối với trường hợp 70-V điện áp ngõ vào và 0.93, 0.14, và 0.14 đối với trường hợp 210-V điện áp ngõ vào. Kết quả mô phỏng cho hai trường hợp trên được trình bày như hình 2.10 và 2.11. Cuộn cảm và tụ điện được lựa chọn theo công thức (2.27) và (2.29), với  $x\% = 20\%$ ,  $y\% = 1\%$ , và  $I_{PN} = P_O/[V_{PN}(1 - D_{ST}/2)]$ ,  $P_O = 1$ -kW là công suất ngõ ra [72]. Khi này,  $L_B > 1.5$ mH,  $C > 45\mu$ F.

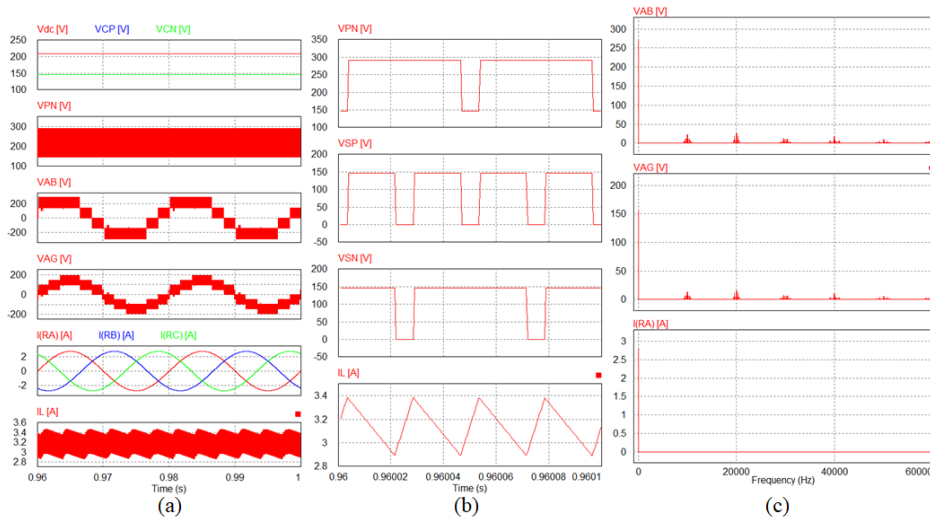
Trong cả hai trường hợp, điện áp trên hai tụ điện được tăng cường đến 145-V, được biểu diễn ở hình 2.10(a) và 2.11(a). Kết quả là, điện áp đỉnh trên thanh cái DC-link đạt giá trị 290-V. Điện áp dây ngõ ra có 5 bậc điện áp  $\pm 290$ -V,  $\pm 145$ -V và 0-V. Phổ FFT của điện áp dây và điện áp pha ngõ ra được biểu diễn như hình 2.10(c) và 2.11(c). Dựa trên dạng sóng FFT, biên độ đỉnh của sóng hài bậc 1 của điện áp dây và điện áp pha ngõ ra đo được tương ứng là 270-V và 155-V. THD của điện áp dây  $V_{AB}$  và điện áp pha  $V_{AG}$  là 32%. Với sự hỗ trợ của mạch lọc thông thấp LC (3mH-10 $\mu$ F, tần số



cắt của bộ lọc được tính toán xấp xỉ 900-Hz), biên độ của các sóng hài tần số cao trên điện áp pha ngõ ra được giảm đến gần bằng 0, được biểu thị như hình 2.10(c) và 2.11(c). Từ đó, cải thiện chất lượng dạng sóng dòng điện tải. THD của dòng điện tải đo được là 0.34%. Dòng điện trung bình trên cuộn dây tăng áp đo được là 3.12-A và 8.73-A tương ứng với trường hợp 210-V và 70-V điện áp ngõ vào. Giá trị hiệu dụng dòng điện tải đo được là 1.9-A<sub>RMS</sub> tương ứng với giá trị đỉnh là 2.69-A biểu thị như phổ FFT ở hình 2.10(c) và 2.11(c).

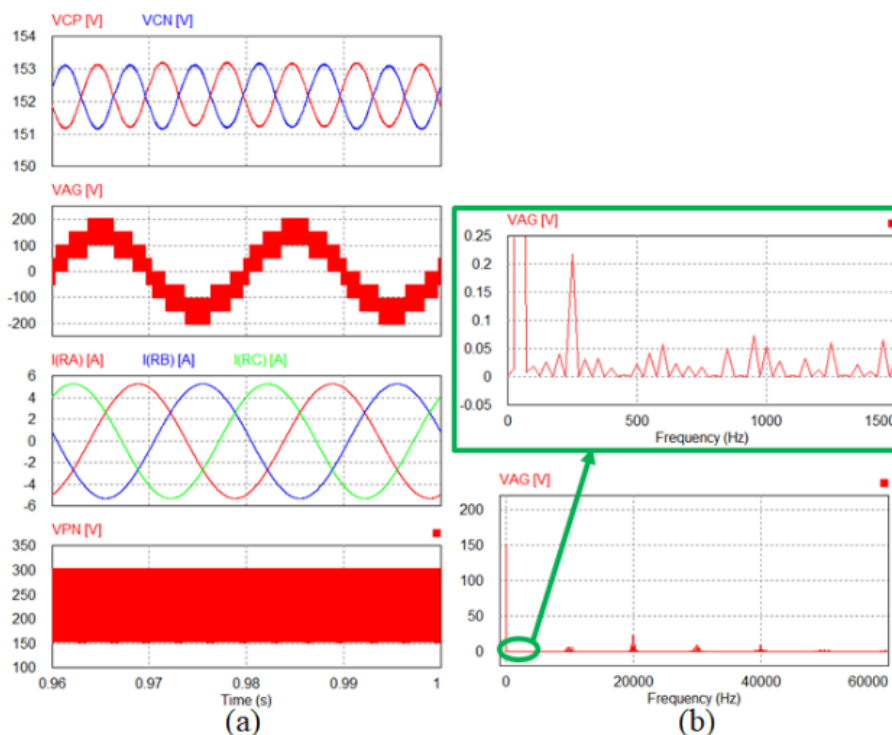


Hình 2.10. Kết quả mô phỏng khi  $V_{dc} = 70\text{-V}$ .

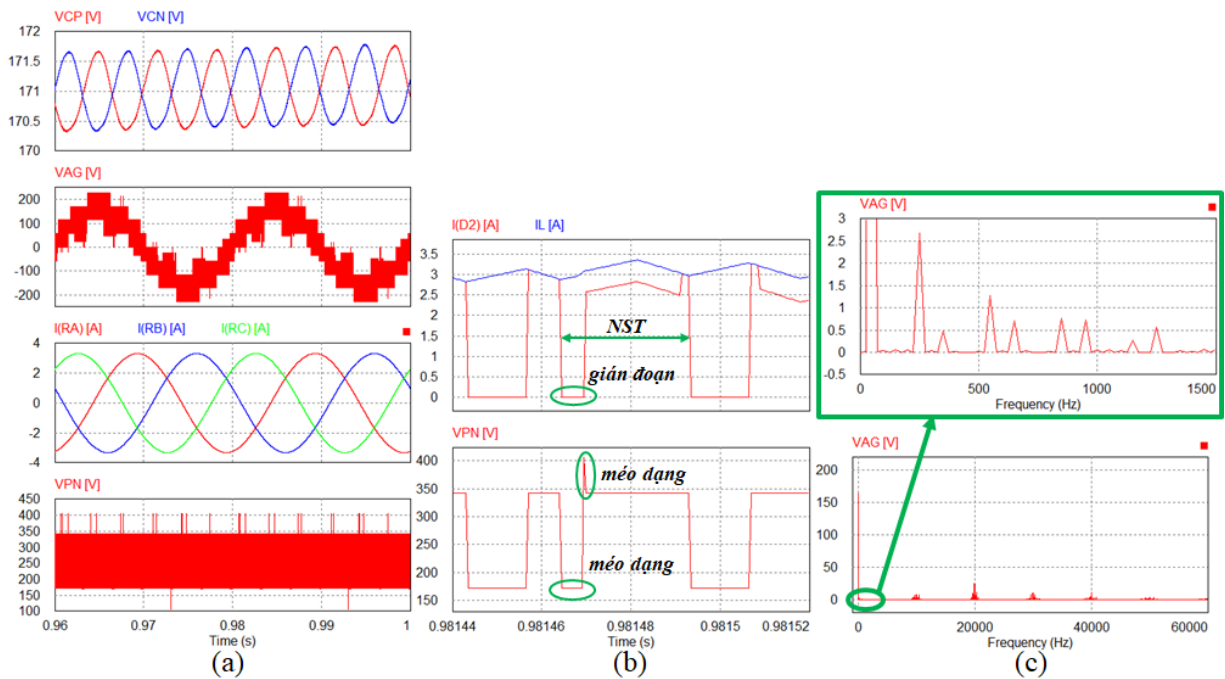


Hình 2.11. Kết quả mô phỏng khi  $V_{dc} = 210\text{-V}$ .

Tiếp theo, tải RL được cài đặt trực tiếp ở ngõ ra của bộ nghịch lưu để kiểm chứng hoạt động của giải thuật đề xuất. Như đã trình bày trong phần 2.2.4, với việc sử dụng diode  $D_2$  và  $D_3$  phía mạch nguồn Z, cấu hình 3L-qSBT<sup>2</sup>I chỉ đảm bảo hoạt động chính xác khi hệ số công suất của tải lớn hơn  $4/(3G)$ , với  $G$  là độ lợi của bộ nghịch lưu. Do đó, trong phần này hai trường hợp của tải RL là 1)  $\cos\phi > 4/(3G)$  và 2)  $\cos\phi < 4/(3G)$ , sẽ được thực hiện để kiểm chứng tính đúng đắn của phân tích này. Với điện áp ngõ vào  $V_{dc}$  và điện áp ngõ ra lần lượt là 70-V và 110-V<sub>RMS</sub>, các thông số  $M$ ,  $D_{ST}$  và  $D_0$  được tính toán tương tự như trường hợp tải thuần trở là 0.8616, 0.2768, và 0.7232. Khi này độ lợi điện áp  $G$  được xác định bằng công thức  $V_{X,peak}/(V_{dc}/2)$  có giá trị là 4.44. Khi này giới hạn của hệ số công suất  $\cos\phi$  được xác định bằng công thức  $4/(3G)$  có giá trị là 0.3. Khi này tải RL 10 $\Omega$ -85mH có  $\cos\phi$  là 0.35, và tải RL 10 $\Omega$ -155mH  $\cos\phi$  là 0.2 lần lượt được dùng để thực hiện mô phỏng cho trường hợp 1 và trường hợp 2. Kết quả mô phỏng cho hai trường hợp trên được trình bày như hình 2.12 và 2.13.



Hình 2.12. Kết quả mô phỏng với  $V_{dc} = 70$ -V và tải RL 10 $\Omega$ -85mH.

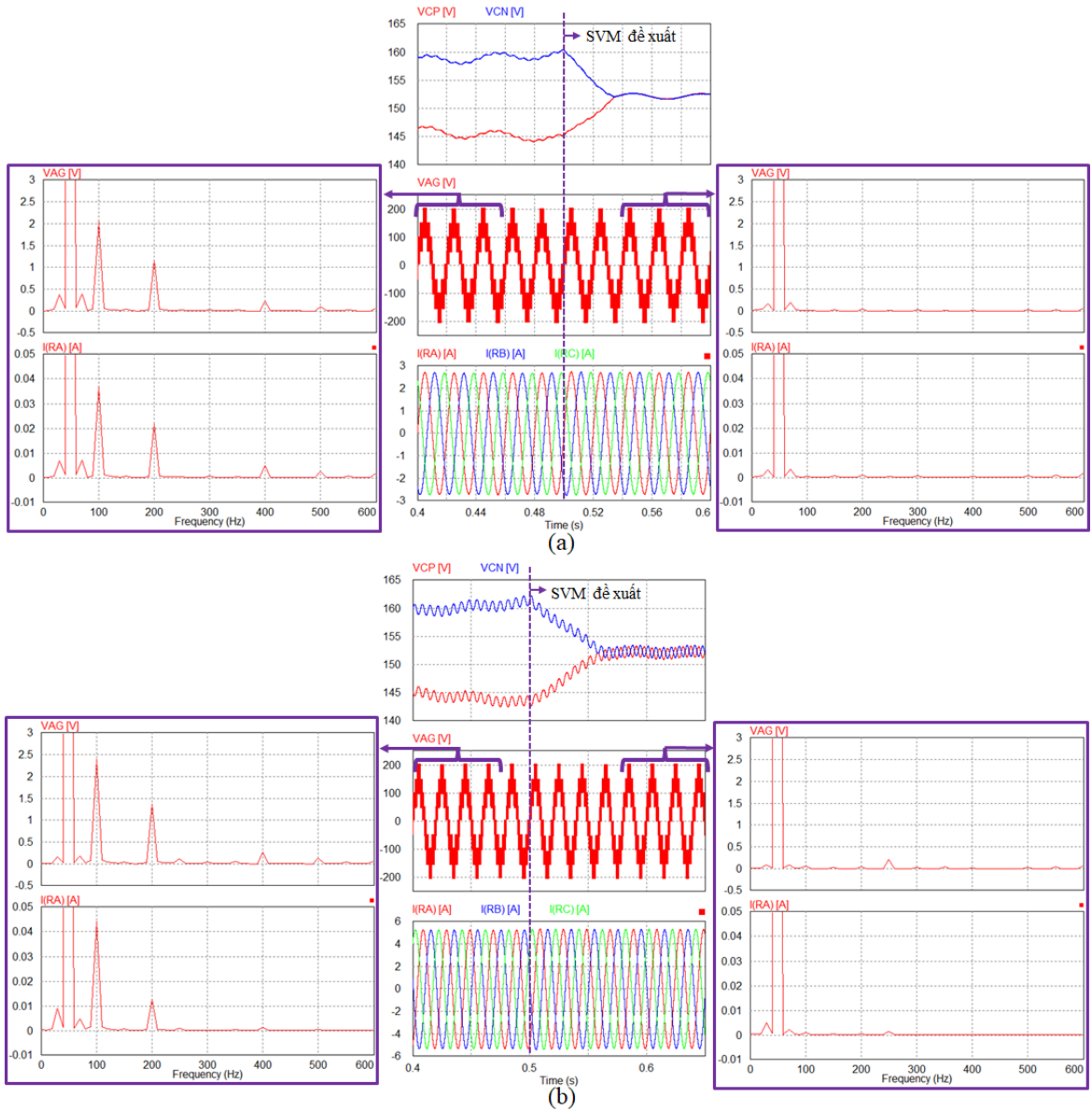


Hình 2.13. Kết quả mô phỏng với  $V_{dc} = 70\text{-V}$  và tải  $RL\ 10\Omega\text{-}155\text{mH}$ .

Đối với trường hợp 1, hoạt động của mạch nghịch lưu tương tự như trường hợp tải thuần trở. Điện áp trên hai tụ điện được tăng cường đến 152-V, như biểu diễn ở hình 2.12(a). Giá trị này xấp xỉ giá trị tính toán lý thuyết là 156-V với hệ số  $D_{ST} = 0.2768$ , và  $D_0 = 0.7232$ . Sóng hài bậc 1 của điện áp pha ngõ ra có biên độ đỉnh là 150-V, gần bằng giá trị tính toán lý thuyết là 156-V.

Đối với trường hợp 2, vì hệ số công suất của tải là 0.2 thấp hơn hệ số công suất cho phép là 0.3, dòng điện của diode  $D_2$  bị gián đoạn trong chế độ NST, như biểu diễn ở hình 2.13(b). Điều này dẫn đến sự méo dạng điện áp DC-link và điện áp pha ngõ ra, như biểu diễn ở hình 2.13(a) và 2.13(b). So sánh phổ FFT của  $V_{AG}$  trong cả hai trường hợp, có thể thấy rằng, trường hợp 2 có biên độ các hài bậc thấp ( $<1.5\text{ kHz}$ ) cao hơn rất nhiều trường hợp 1, như biểu diễn ở hình 2.12(b) và 2.13(c). Ngoài ra, trong trường hợp này, điện áp trên hai tụ điện được tăng cường đến 171-V, lớn hơn giá trị tính toán (156-V) khoảng 9%. Điều này dẫn đến biên độ của sóng hài bậc 1 trên điện áp pha ngõ ra (164-V) cao hơn giá trị tính toán (khoảng 156-V). Từ đó, có thể kết luận rằng, mạch

3L-qS<sub>BT</sub><sup>2</sup>I với giải thuật đề xuất chỉ có thể được sử dụng cho các tải có hệ số công suất lớn hơn  $4/(3G)$ .

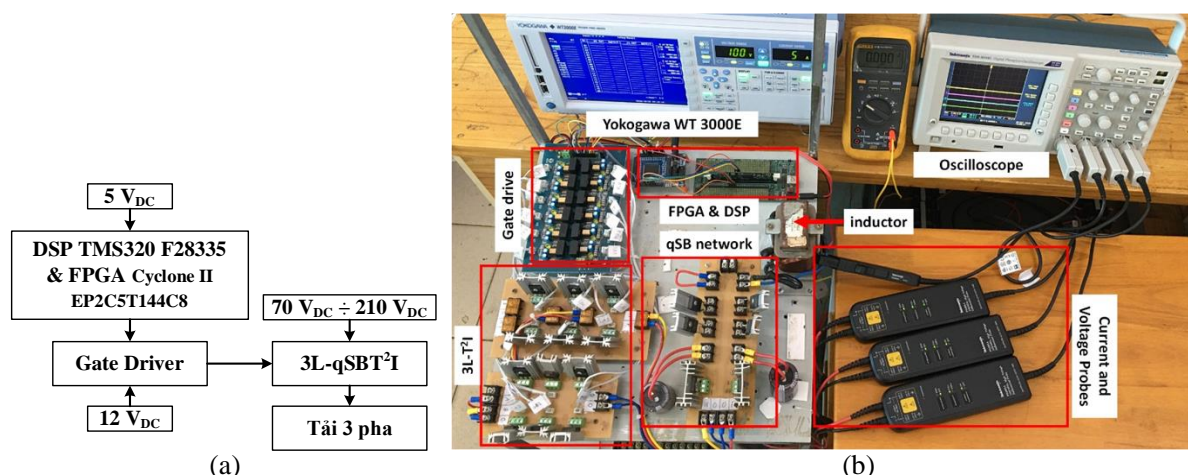


Hình 2.14. Kết quả mô phỏng cân bằng điện thế điểm trung tính với  $V_{dc} = 70\text{-V}$ , và (a) tải  $R = 56\text{-}\Omega$ , (b) tải  $RL\ 10\ \Omega - 85\text{mH}$

Kết quả mô phỏng cho giải thuật cân bằng điện thế điểm trung tính được trình bày như hình 2.14. Trong thí nghiệm này, điện trở  $2\text{k}\Omega$  được cài đặt song song với tụ điện  $C_P$  để tạo ra sự mất cân bằng điện áp trên hai tụ điện. Khi này, trong trạng thái bình

thường, điện áp trên hai tụ điện chênh lệch khoảng 15-V, như biểu diễn ở hình 2.14. Sự chênh lệch này làm gia tăng biên độ của các sóng hài tần số thấp (100Hz, 200Hz), như biểu diễn ở phổ FFT ở hình 2.14. Khi áp dụng giải thuật cân bằng điện thế điểm trung tính đề xuất, sự chênh lệch điện áp trên hai tụ điện suy giảm nhanh chóng. Trong trạng thái xác lập, điện áp trên hai tụ điện là cân bằng đối với cả hai trường hợp tải thuần trở và tải RL. Khi này, biên độ của các sóng hài tần số thấp được hạn chế đáng kể so với trạng thái mất cân bằng điện thế điểm trung tính, như biểu thị ở hình 2.14.

## 2.4.2 Kết quả thực nghiệm



Hình 2.15. (a) sơ đồ mạch thực nghiệm và (b) mô hình thực nghiệm.

Tính đúng đắn của giải thuật đề xuất được kiểm chứng thông qua mô hình thực nghiệm 1-kW được xây dựng tại phòng thí nghiệm, như được mô tả trong hình 2.15. Các thông số được sử dụng trong quá trình thí nghiệm được liệt kê như bảng 2.5. Mô hình này sử dụng bộ điều khiển trung tâm gồm DSP TMS320 F28335 và FPGA Cyclone II EP2C5T144C8. Các khóa bán dẫn được lựa chọn dựa vào (2.30), (2.31). Khi này, điện áp và dòng điện đặt trên khóa được lựa chọn lớn hơn 290-V và 15-A. Hai MOSFET 60R045 được dùng cho hai khóa  $S_P$  và  $S_N$ . IGBT FGL40N120AND được dùng cho các khóa bán dẫn phía nghịch lưu. Diode được sử dụng trong thí nghiệm này

là DSEI60-12A. Tất cả các MOSFET và IGBT được điều khiển thông qua IC cách ly TLP250.

Điện áp ngõ vào được cài đặt thay đổi từ 70-V đến 210-V để kiểm chứng giải thuật đề xuất. Đối với 210-V điện áp ngõ vào, giá trị của  $M$ ,  $D_{ST}$  và hệ số  $D_0$  lần lượt được chọn là 0.93, 0.14, và 0.14 để đảm bảo điện áp 110- $V_{RMS}$  ở ngõ ra, theo lý thuyết. Khi điện áp ngõ vào là 70-V, các giá trị 0.8616, 0.2768, và 0.7232 được thiết đặt cho  $M$ ,  $D_{ST}$  và hệ số  $D_0$ .

Nghiên cứu [20] được xem xét để so sánh với giải thuật đề xuất. Lưu ý rằng, nghiên cứu [20] và giải thuật đề xuất sử dụng chung cấu hình 3L-qSBT<sup>2</sup>I, nên các thông số về phần cứng được dùng chung trong quá trình thí nghiệm. Với điện áp DC thay đổi từ 70-V đến 210-V, các hệ số  $M$ ,  $D_{ST}$ , và hệ số  $D_0$  được cài đặt như sau: 0.815, 0.185, 0.185 cho trường hợp 210-V điện áp ngõ vào, và 0.67, 0.33, 0.67 cho trường hợp 70-V điện áp ngõ vào.

Hình 2.16 và 2.17 trình bày kết quả thực nghiệm của công bố [20] và giải thuật đề xuất. Bảng 2.6 trình bày so sánh giữa giải thuật SVM đề xuất và nghiên cứu [20].

Bảng 2.6. So sánh giữa giải thuật đề xuất và nghiên cứu [20]

	$V_{dc} = 210\text{-V}$		$V_{dc} = 70\text{-V}$	
	[20]	Đề xuất	[20]	Đề xuất
Điện áp tụ $C_P$	161-V	144-V	188-V	146-V
Điện áp tụ $C_N$	159-V	143-V	185-V	144-V
THD của $V_{AB}$	65.9 %	47.8 %	94.6 %	51.4 %
THD của $I_A$	2.55 %	1.76 %	2.87 %	1.88 %

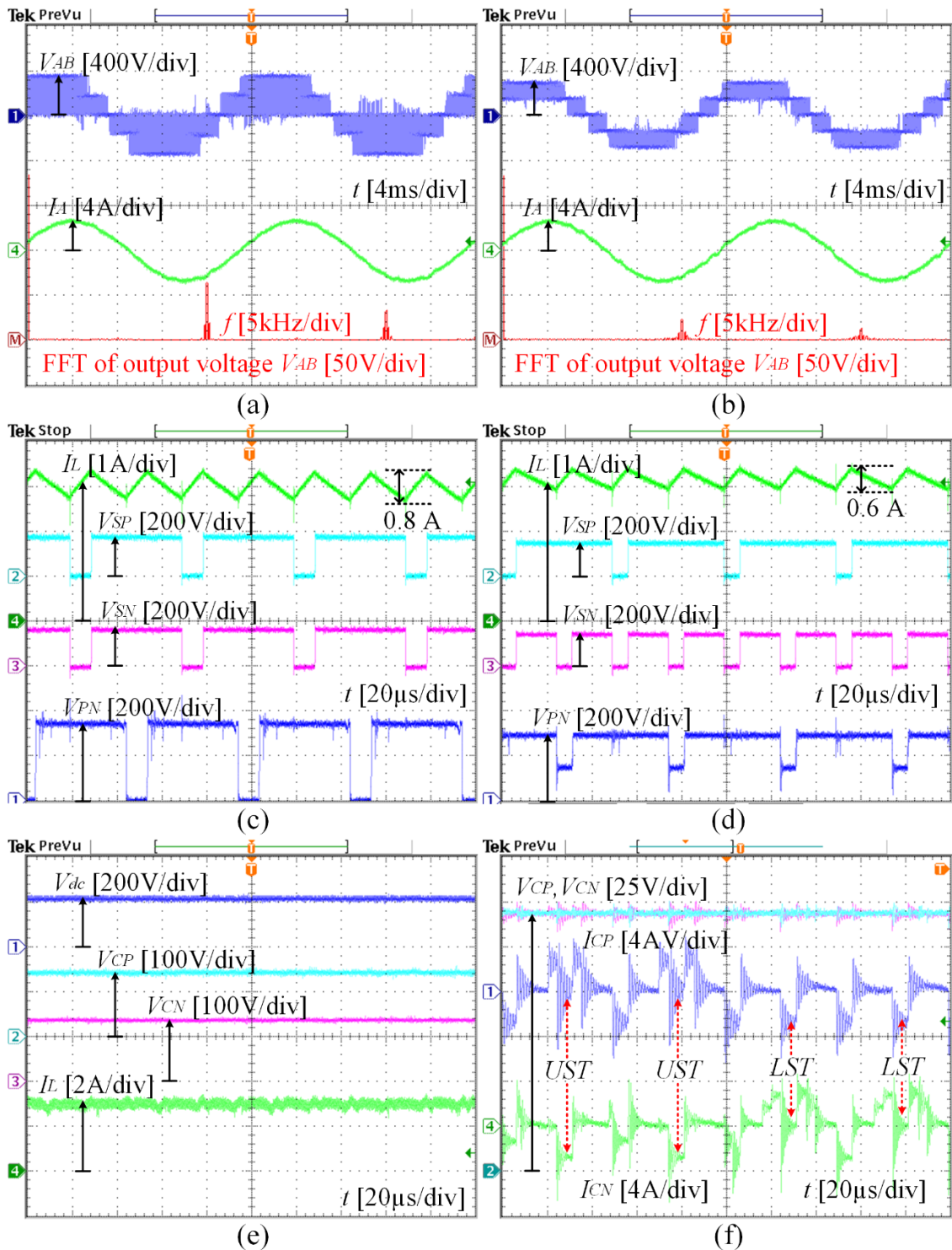
Trong trường hợp 1, khi nguồn DC ngõ vào là 210-V,  $V_{CP}$  và  $V_{CN}$  đạt được 144 V và 143 V, đối với giải thuật đề xuất, như hình 2.16 (e). Trong khi đó, điện áp rơi trên hai tụ này lần lượt là 161-V và 159-V đối với giải thuật [20], các giá trị này có thể được suy ra từ giá trị đỉnh của điện áp rơi trên khóa bán dẫn  $S_P$  và  $S_N$ , được biểu thị trong hình 2.16(c), và được liệt kê trong bảng 2.6. Các giá trị này chứng minh rằng phương pháp SVM đề xuất tạo ra điện áp rơi trên tụ điện thấp hơn phương pháp [20].

Vì điện áp đạt được trên các tụ điện chính là điện áp stress của các thành phần phía mạch tăng áp, do đó, việc tạo ra ít điện áp trên tụ điện làm giảm đáng kể điện áp rơi trên các linh kiện còn lại, như biểu diễn trong hình 2.16(c) và 2.16(d). Giá trị  $V_{PN}$  đối với công bố [20] và giải thuật đề xuất lần lượt là: 320-V và 287-V. Do có điện áp DC-link cao hơn, các khóa bán dẫn phía nghịch lưu trong phương pháp [20] sẽ có điện áp rơi cao hơn giải thuật đề xuất. Độ gợn sóng dòng điện qua cuộn dây của giải pháp [20] và giải pháp đề xuất lần lượt là 0.8-A và 0.6-A. Với độ gợn sóng điện áp thấp hơn, phương pháp đề xuất có thể giảm tổn hao trên cuộn dây cũng như kích thước của cuộn cảm so với [20]. Giá trị THD điện áp dây  $V_{AB}$  của nghiên cứu [20] thấp hơn giải thuật đề xuất, với giá trị THD của  $V_{AB}$  đối với phương pháp đề xuất là 47.8%, trong khi đó, phương pháp [20] là 65.9%, được liệt kê trong bảng 2.6. Điều này có thể được giải thích do phương pháp [20] sử dụng vector không trong quá trình điều chế và chèn trạng thái FST. Kết quả là giá trị THD của dòng điện tải của phương pháp đề xuất thấp hơn phương pháp [20], với phương pháp [20] là 2.55% và phương pháp đề xuất là 1.76%. Giá trị hiệu dụng của dòng điện tải đối với hai phương pháp gần bằng nhau và có thể đo một cách gần đúng bằng 1.84- $A_{RMS}$ . Dòng điện qua cuộn dây của phương pháp đề xuất được biểu thị như hình 2.16(e) và có giá trị trung bình là 2.83-A.

Tất cả các ưu điểm của giải thuật đề xuất so với phương pháp [20] trong trường hợp 1 cũng hoàn toàn đúng cho trường hợp 2, 70-V điện áp ngõ vào. Các kết quả thực nghiệm trong trường hợp này được biểu thị như hình 2.17 và bảng 2.6. Đối với phương pháp đề xuất, dòng điện qua cuộn dây có giá trị trung bình bằng 8.36-A, và giá trị hiệu dụng của dòng điện tải bằng 1.72- $A_{RMS}$ .

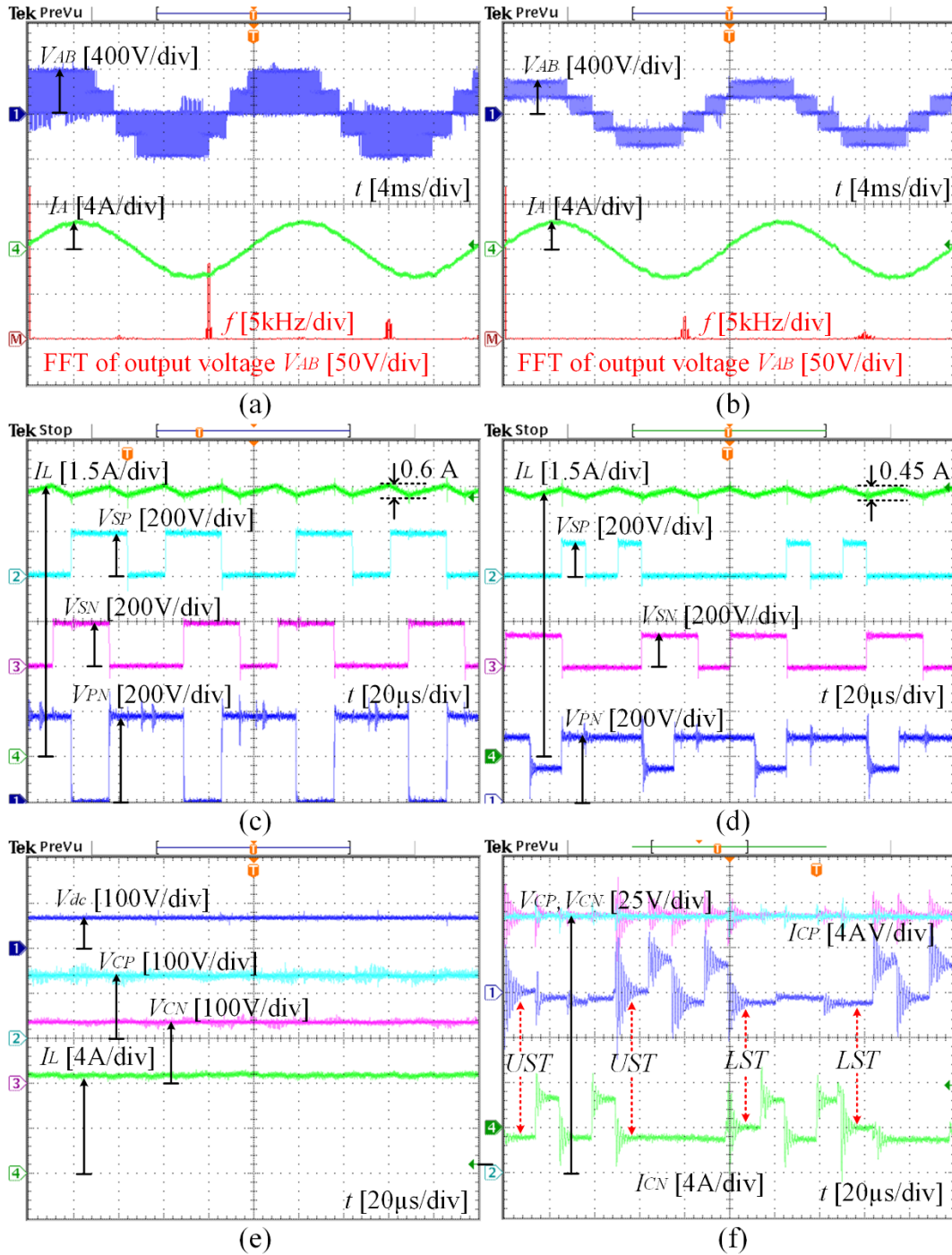
Điện áp trên các tụ điện và dòng điện qua chúng trong 2 chu kỳ chuyển mạch được biểu thị như hình 2.16(f) và 2.17(f). Dựa vào các hình này, điện áp qua các tụ điện có thể cân bằng trong mỗi chu kỳ sóng mang.



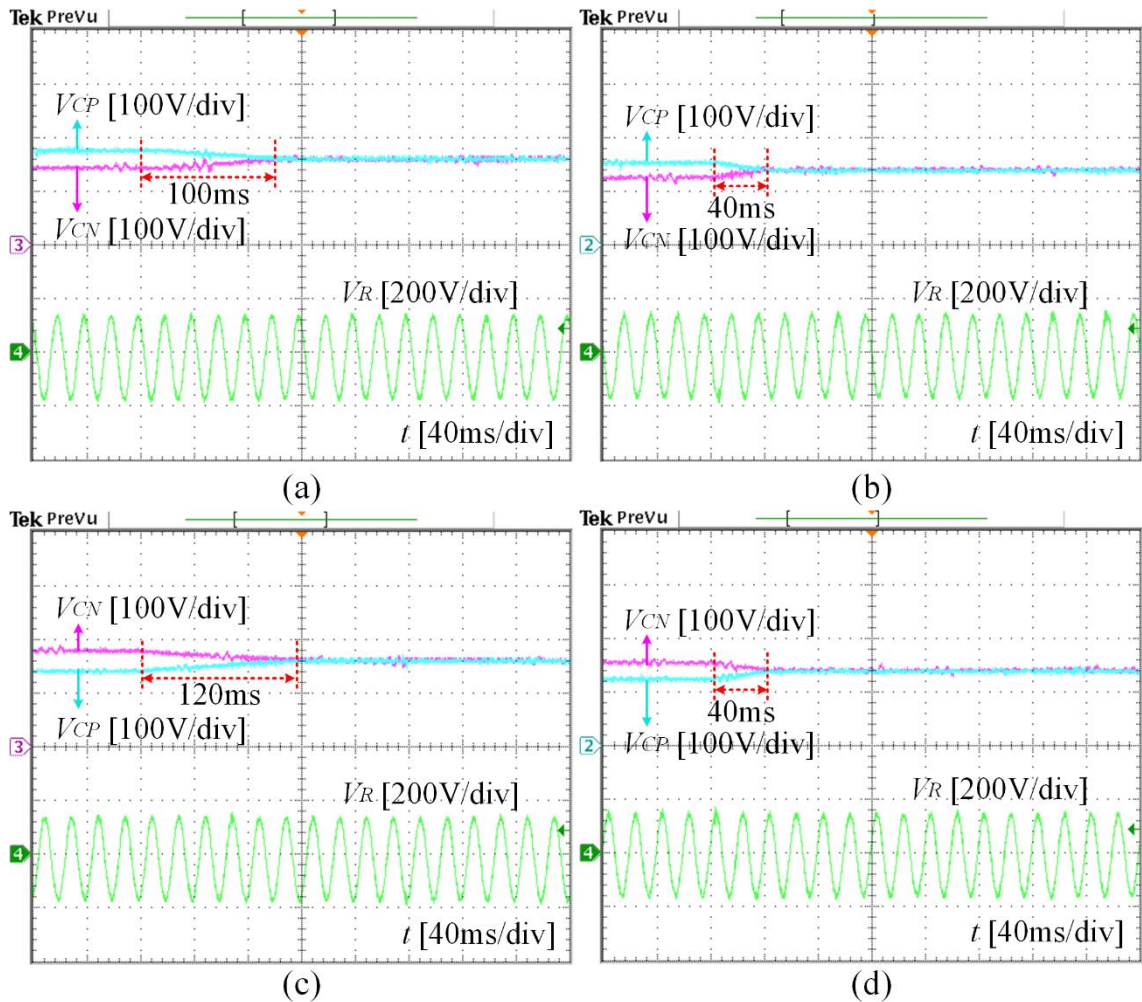


Hình 2.16. Kết quả thực nghiệm của 3L-qSBI<sup>2</sup>I với giải thuật đề xuất và [20] khi  $V_{dc} = 210$  V: (a), (c) phương pháp [20], (b), (d), (e), (f) phương pháp đề xuất.





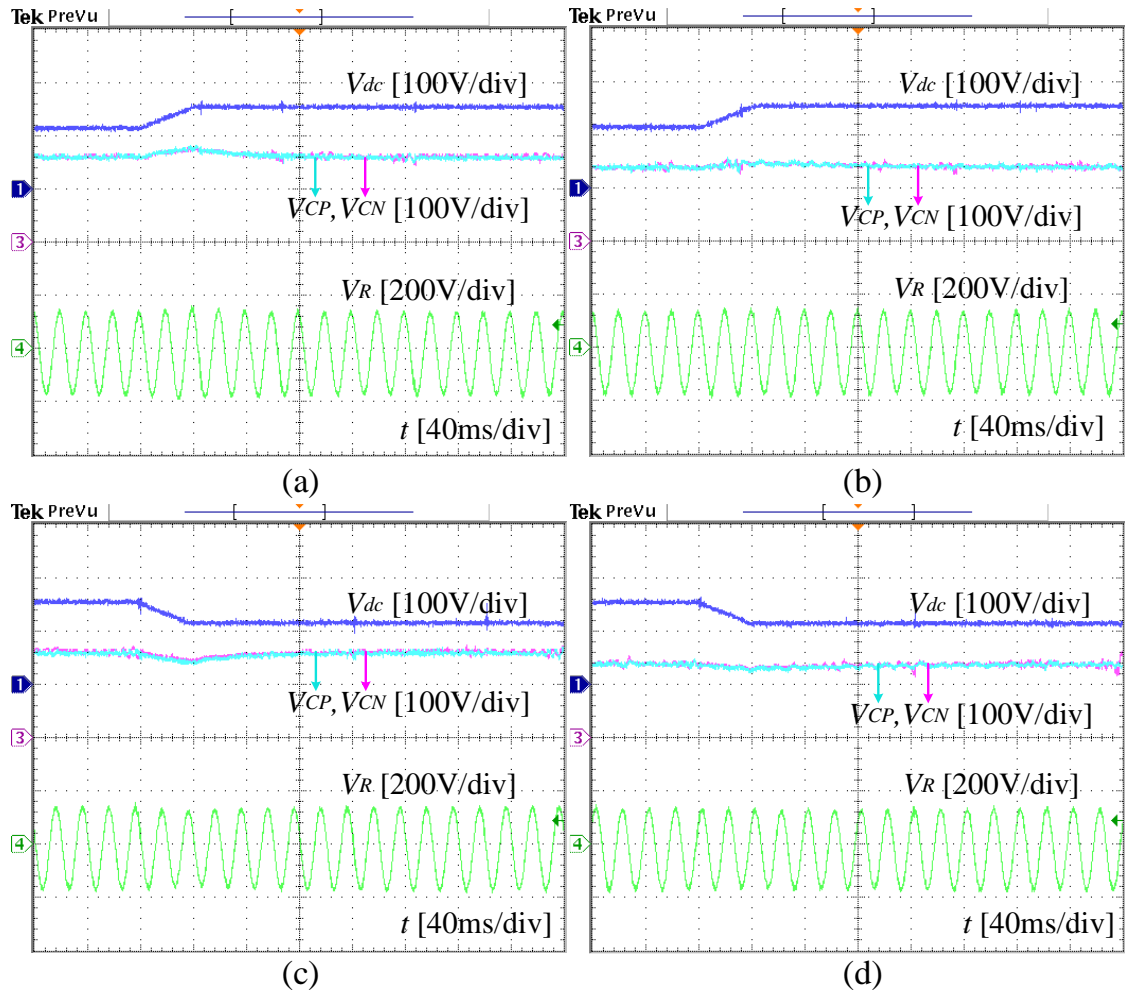
Hình 2.17. Kết quả thực nghiệm của 3L-qSBI với giải thuật đề xuất và [20] khi  $V_{dc} = 70$ -V: (a), (c) phương pháp [20], (b), (d), (e), (f) phương pháp đề xuất.



Hình 2.18. Kết quả thực nghiệm với giải thuật cân bằng điện áp tụ khi (a), (b)  $V_{CP} > V_{CN}$ , (c), (d)  $V_{CP} < V_{CN}$ , trong đó: (a), (c) phương pháp [20], (b), (d) phương pháp đề xuất.

Phương pháp cân bằng điện áp trên các tụ điện được kiểm chứng trong hai trường hợp: 1) điện áp tụ  $C_P$  lớn hơn điện áp tụ  $C_N$  và 2) điện áp tụ  $C_N$  lớn hơn điện áp tụ  $C_P$ . Các kết quả thực nghiệm cho hai trường hợp này được biểu thị trong hình 2.18. Phương pháp [20] cũng được xem xét để so sánh với giải thuật đề xuất. Trong cả hai trường hợp điện áp chênh lệch giữa hai tụ điện là rất thấp khoảng 2-V. Tuy nhiên phương pháp đề xuất phục hồi trạng thái cân bằng với tốc độ nhanh hơn phương pháp

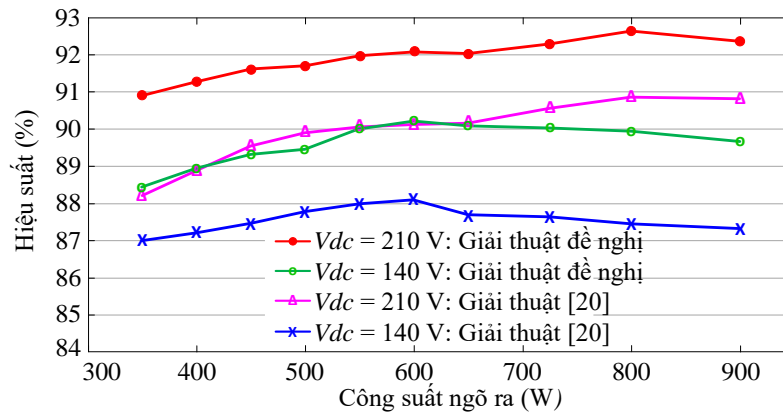
[20]. Cụ thể, phương pháp đề xuất phục hồi trạng thái cân bằng trong 40ms, được biểu diễn như hình 2.18(b) và 2.18(d), trong khi phương pháp [20] cần 100ms để phục hồi trạng thái cân bằng cho trường hợp 1 và 120ms cho trường hợp 2, được biểu diễn như hình 2.18(a) và 2.18(c).



Hình 2.19. Kết quả thực nghiệm cho điều khiển vòng kín: (a), (c) [20], (b), (d) giải thuật đề xuất.

Giải thuật điều khiển điện áp DC-link và điện áp pha ngõ ra của [20] và giải thuật đề xuất được kiểm chứng trong hai trường hợp: 1) nguồn DC ngõ vào tăng từ 120-V đến 160-V, 2) nguồn DC ngõ vào giảm từ 160-V đến 120-V. Kết quả thực nghiệm được biểu diễn như hình 2.19. Đối với phương pháp đề xuất, điện áp trên hai tụ được duy trì

ở 144-V với sự thay đổi của nguồn DC ngõ vào, trong khi đó, điện áp trên các tụ cho phương pháp [20] được duy trì ở 165-V. Trạng thái cân bằng điện thế điểm trung tính được đảm bảo cho cả hai phương pháp. Điện áp ngõ ra được duy trì ở 110-V<sub>RMS</sub> với sai số không đáng kể, rơi vào khoảng 1%. Nhìn chung đáp ứng của hai phương pháp là như nhau. Tuy nhiên, phương pháp [20] tạo ra độ vọt lố điện áp trên tụ điện cao hơn phương pháp đề xuất.



Hình 2.20. So sánh hiệu suất giữa giải thuật đề xuất và giải thuật [20].

Hiệu suất của cấu hình 3L-qSBT<sup>2</sup>I cho hai phương pháp [20] và phương pháp đề xuất được tiến hành thống kê với hai trường hợp nguồn DC ngõ vào là 210-V và 140-V. Kết quả được đo đạt bởi máy phân tích công suất Yokogawa WT3000E, và được biểu thị như hình 2.20. Trong đó, hiệu suất được định nghĩa là tỉ số giữa công suất ngõ ra trên tải thuần trở và công suất của nguồn một chiều ngõ vào và được tính toán như sau:

$$\eta\% = \frac{V_{RA}I_A + V_{RB}I_B + V_{RC}I_C}{V_{dc}I_L} \quad (2.32)$$

Nhìn chung, phương pháp đề xuất có hiệu suất chuyển đổi cao hơn phương pháp [20], khoảng 2% tại vị trí có sự chênh lệch cao nhất. Ưu điểm này có thể được giải thích bởi hai nguyên nhân chính như sau. Đầu tiên, tổn hao dẫn sinh ra bởi trạng thái trùng dẫn của phương pháp đề xuất thấp hơn phương pháp [20], do sử dụng hệ số trùng

dẫn thấp hơn. Thứ hai, tổn hao do chuyển mạch của phương pháp đề xuất thấp hơn phương pháp [20], cụ thể, phương pháp đề xuất sử dụng tổng cộng 6 chuyển mạch trong khi phương pháp [20] sử dụng 12 chuyển mạch, trong một chu kỳ chuyển mạch.

## 2.5 Kết luận chương 2

Trong chương này, phương pháp điều chế SVM đã được trình bày cho cấu hình 3L-qSBT<sup>2</sup>I giúp cải thiện độ lợi điện áp so với các giải thuật điều chế độ rộng xung truyền thống. Điều này giúp cải thiện điện áp đặt trên tụ điện và các khóa bán dẫn. Cụ thể, so với giải thuật truyền thống ở [20], giải thuật đề xuất có thể cải thiện điện áp đặt trên linh kiện 10% tại độ lợi 1.48 và 22.2% tại độ lợi 4.44. Ngoài ra, độ lợi điện áp cao giúp giải thuật đề xuất giảm giá trị hệ số trùng dẫn, từ đó giảm tổn hao dẫn của mạch nghịch lưu. Thêm vào đó, điện áp đặt trên các khóa bán dẫn thấp góp phần làm giảm tổn hao chuyển mạch. Kết quả là, giải thuật đề xuất có thể cải thiện khoảng 2% hiệu suất của bộ chuyển đổi so với giải thuật truyền thống tại công suất ngõ ra là 750-W.

Giải thuật cân bằng điện áp trung tính cũng đã được đề xuất nhằm nâng cao chất lượng điện áp ngõ ra. Cụ thể, biên độ của các sóng hài bậc thấp của điện áp dây gàn như được giảm về 0-V khi áp dụng giải thuật cân bằng điện áp trung tính. Điều này đã được kiểm chứng thông qua các khảo sát mô phỏng của phân tích FFT điện áp dây ngõ ra. Ngoài ra, việc sử dụng tất cả 27 vector để điều chế điện áp ngõ ra giúp giải thuật đề xuất cải thiện THD của điện áp dây ngõ ra so với giải thuật truyền thống. Cụ thể, so với giải thuật truyền thống, ở độ lợi điện áp 1.48, giải thuật đề xuất có thể cải thiện 27.4% THD của  $V_{AB}$ , và ở độ lợi 4.44, giải thuật đề xuất có thể cải thiện 45.6% THD của  $V_{AB}$ .

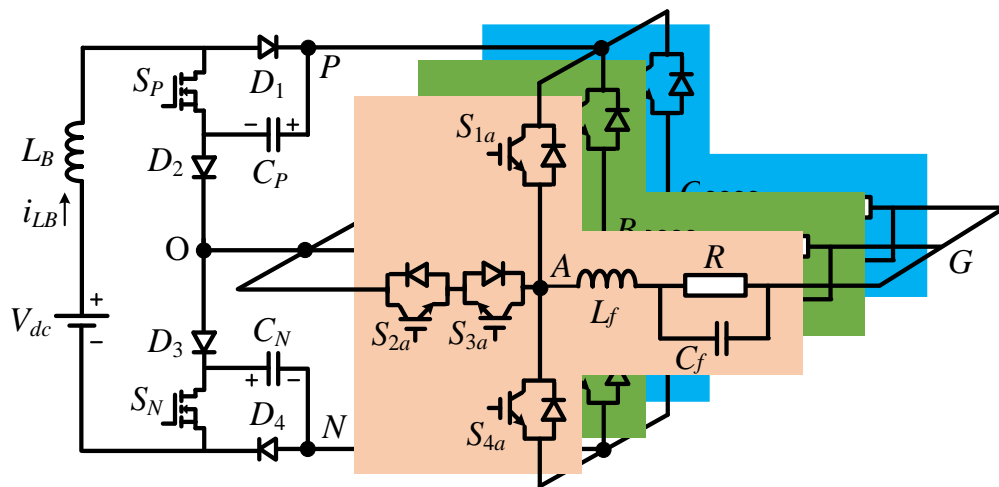
Nhược điểm còn tồn tại của giải thuật đề xuất là vấn đề về điện áp common-mode chưa được xem xét. Do đó, cấu hình 3L-qSBT<sup>2</sup>I với giải thuật đề xuất có thể được sử dụng trong các ứng dụng yêu cầu hoạt động tăng áp mà không chú trọng đến điện áp common-mode, điển hình như ứng dụng PV nối lưới có sử dụng biến áp cách ly phía ngõ ra của mạch nghịch lưu.

## Chương 3

# GIẢI THUẬT ĐỀ XUẤT CHO CẤU HÌNH 3L-qSBT<sup>2</sup>I NHẪM GIẢM ĐIỆN ÁP COMMON-MODE

Dựa vào nghiên cứu trước đó về giải thuật SVM cho cấu hình 3L-qSBT<sup>2</sup>I được trình bày trong chương 2, chương 3 trình bày phương pháp SVM cải tiến nhằm giảm biên độ đỉnh-đỉnh cũng như giá trị hiệu dụng của điện áp common-mode cho cấu hình 3L-qSBT<sup>2</sup>I. Những ưu điểm của phương pháp SVM đã trình bày trong chương 2 như: độ lợi của mạch nghịch lưu cao, giảm độ méo dạng sóng hài điện áp ngõ ra, vẫn được kế thừa trong giải thuật cải tiến.

### 3.1 Cấu hình 3L-qSBT<sup>2</sup>I

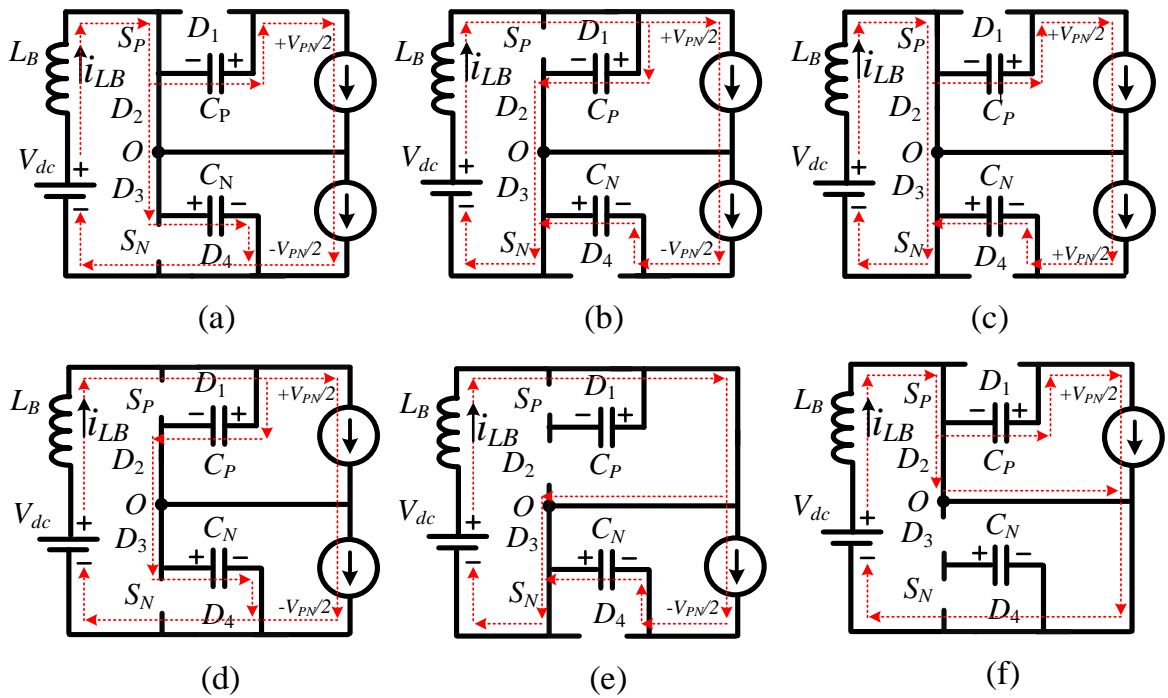


Hình 3.1. Mạch 3L-qSBT<sup>2</sup>I.

Hình 3.1 biểu diễn mạch 3L-qSBT<sup>2</sup>I. Trong cấu hình này, mạch 3L-T<sup>2</sup>I được lắp đặt phía sau mạch nguồn kháng qSB để đảm bảo hoạt động ba bậc điện áp tại ngõ ra. Trên mỗi nhánh pha của mạch 3L-T<sup>2</sup>I, ba bậc điện áp ngõ ra được tạo ra nhờ sự hỗ trợ của bốn khóa bán dẫn  $S_{jx}$  ( $j = 1, 2, 3, 4; x = a, b, c$ ). Trạng thái “P” biểu thị giá trị  $+V_{PN}/2$  tại điện áp cực ngõ ra  $V_{XO}$ . Trạng thái này được tạo ra bằng cách kích dẫn khóa  $S_{1X}$  và khóa  $S_{2X}$ . Trạng thái “O” đại diện cho giá trị 0-V tại ngõ ra, và được tạo bằng



cách kích dẫn hai khóa bán dẫn  $S_{2X}$  và  $S_{3X}$ . Khi hai khóa  $S_{3X}$  và  $S_{4X}$  được kích dẫn, giá trị  $-V_{PN}/2$  được tạo ra tại ngõ ra. Điện áp DC-link,  $V_{PN}$ , phía ngõ vào mạch 3L-T<sup>2</sup>I được tạo ra từ mạch nguồn kháng qSB có cấu tạo gồm một cuộn cảm  $L_B$ , hai tụ điện  $C_P$ ,  $C_N$ , hai khóa  $S_P$ ,  $S_N$  và bốn diode  $D_1 - D_4$ . Mạng qSB được cấp nguồn từ một nguồn DC phía ngõ vào  $V_{dc}$ . Với sự hỗ trợ của mạch qSB nằm giữa bộ nghịch lưu và nguồn ngõ vào, cấu hình 3L-qSBT<sup>2</sup>I có thể chống lại hiện tượng ST phía nghịch lưu và đạt được hoạt động tăng/giảm áp.



Hình 3.2. Trạng thái hoạt động của 3L-qSBT<sup>2</sup>I: (a) NST 1, (b) NST 2, (c) NST 3, (d) NST 4, (e) UST, (f) LST.

Tương tự như những mạch nghịch lưu 1 tầng khác, mạch 3L-qSBT<sup>2</sup>I này cũng được đề xuất hoạt động ở hai chế độ chính là chế độ ST và chế độ NST, như biểu diễn ở hình 3.2. Như được đề cập ở chương 2, chế độ ST được chia thành chế độ UST và LST. Hai chế độ này được chèn vào vector nhỏ nhằm tăng cường độ lợi điện áp của mạch nghịch lưu. Hoạt động của các khóa bán dẫn của mạch nghịch lưu được trình bày trong bảng 3.1.

Bảng 3.1 Trạng thái khóa bán dẫn của mạch 3L-qSBT<sup>2</sup>I. ( $X = A, B, C$ )

Chế độ	Khóa dẫn	Diode dẫn	$V_{xO}$
NST1	$S_P$	$D_2, D_3, D_4$	$+V_{PN}/2, 0, -V_{PN}/2$
NST2	$S_N$	$D_1, D_2, D_3$	$+V_{PN}/2, 0, -V_{PN}/2$
NST3	$S_P, S_N$	$D_2, D_3$	$+V_{PN}/2, 0, -V_{PN}/2$
NST4	$S_{1x}, S_{2x}$	$D_1, D_2, D_3, D_4$	$+V_{PN}/2$
	$S_{2x}, S_{3x}$		0
	$S_{3x}, S_{4x}$		$-V_{PN}/2$
UST	$S_{1x}, S_{2x}, S_{3x}, S_N$	$D_1, D_3$	0 hoặc $-V_{PN}/2$
LST	$S_{2x}, S_{3x}, S_{4x}, S_P$	$D_2, D_4$	0 hoặc $+V_{PN}/2$

### 3.2 Giải thuật giảm CMV đề xuất cho cấu hình 3L-qSBT<sup>2</sup>I [37]

Bảng 3.2 CMV của mạch 3L-qSBT<sup>2</sup>I

Vector		CMV		CMV		CMV
Không	[OOO]	0	[PPP]	$+V_{PN}/2$	[NNN]	$-V_{PN}/2$
Vector nhỏ dạng P	[POO]	$+V_{PN}/6$	[PPO]	$+V_{PN}/3$	[OPO]	$+V_{PN}/6$
	[OPP]	$+V_{PN}/3$	[OOP]	$+V_{PN}/6$	[POP]	$V_{PN}/3$
Vector nhỏ dạng N	[ONN]	$-V_{PN}/3$	[OON]	$-V_{PN}/6$	[NON]	$-V_{PN}/3$
	[NOO]	$-V_{PN}/6$	[NNO]	$-V_{PN}/3$	[ONO]	$-V_{PN}/6$
Medium	[PON]	0	[OPN]	0	[NPO]	0
	[NOP]	0	[ONP]	0	[PNO]	0
Large	[PNN]	$-V_{PN}/6$	[PPN]	$+V_{PN}/6$	[NPN]	$-V_{PN}/6$
	[NPP]	$+V_{PN}/6$	[NNP]	$-V_{PN}/6$	[PNP]	$+V_{PN}/6$

Điện áp CMV của mạch nghịch lưu được định nghĩa như sau [16]:

$$CMV = V_{GO} = \frac{V_{AO} + V_{BO} + V_{CO}}{3} \quad (3.1)$$



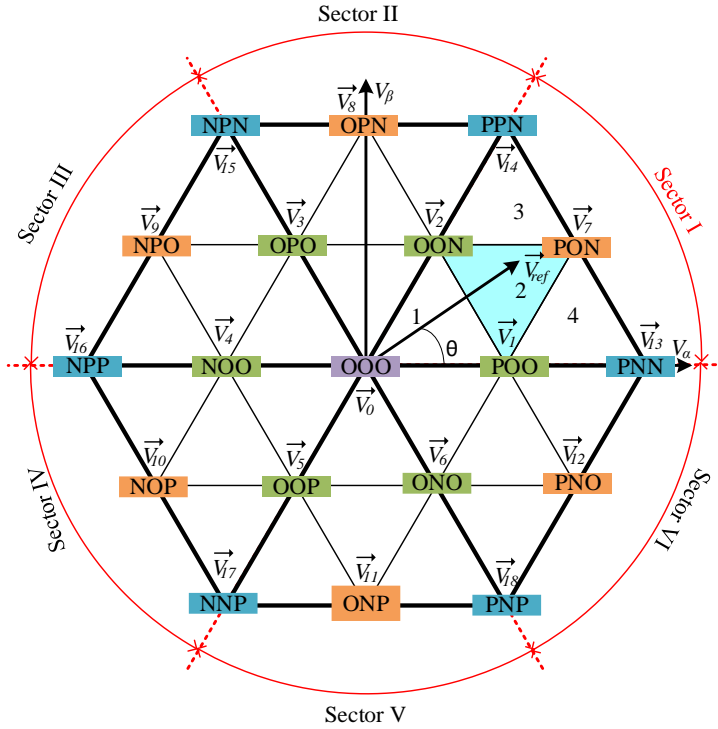
trong đó:  $V_{AO}$ ,  $V_{BO}$ ,  $V_{CO}$  là điện áp cực ngõ ra của mạch nghịch lưu.

Dựa vào phương trình (3.1), biên độ của CMV tương ứng với các vector của mạch nghịch lưu ba bậc được liệt kê như bảng 3.2. Như được biểu thị trong bảng 3.2, CMV đạt giá trị lớn nhất là  $\pm V_{PN}/2$  tại hai vector không [PPP] và [NNN]. Những vector nhỏ tạo ra bốn giá trị CMV như sau:  $\pm V_{PN}/6$  và  $\pm V_{PN}/3$ . Các vector lớn tạo ra giá trị CMV  $\pm V_{PN}/6$  trong khi vector không [OOO] và các vector trung có CMV bằng 0-V.

Trong nghiên cứu trước đó được trình bày ở chương 2, tất cả 12 vector nhỏ được dùng để tổng hợp vector điện áp tham chiếu. Do đó, CMV dao động trong khoảng  $+V_{PN}/3$  đến  $-V_{PN}/3$ . Mặc dù, việc sử dụng các vector này dẫn đến ưu điểm về tăng cường độ lợi điện áp và cân bằng điện thế điểm trung tính. Tuy nhiên, phương pháp này cũng dẫn đến vấn đề gia tăng biên độ của CMV.

Trong giải thuật SVM cải tiến này, tất cả các vector nhỏ tạo ra giá trị  $\pm V_{PN}/6$  tại CMV, vector không [OOO], vector trung bình và các vector lớn được sử dụng để tổng hợp vector tham chiếu nhằm làm giảm biên độ của CMV. Lưu ý rằng, việc sử dụng các vector này không làm ảnh hưởng đến các ưu điểm của phương pháp đề cập trong chương 2.

Giản đồ vector không gian cải tiến được biểu diễn như hình 3.3. Tương tự như nghiên cứu trước đó, giản đồ vector không gian cũng được chia thành 6 sector (I – VI). Mỗi sector cũng được chia thành 4 vùng nhỏ (vùng 1 – 4). Tùy vào vị trí của điểm mút vector điện áp tham chiếu, ba vector lân cận sẽ được sử dụng để tổng hợp vector tham chiếu. Phần còn lại của chương sẽ trình bày một cách chi tiết về việc lựa chọn các vector thành phần, tính toán thời gian tác dụng, lựa chọn chuỗi chuyển mạch và việc chèn trạng thái UST/LST của giải thuật SVM cải tiến.



Hình 3.3. Giảm đồ vector không gian cải tiến.

### 3.2.1 Tính toán thời gian tác dụng và lựa chọn thứ tự chuyển mạch

Để phân tích phương pháp SVM cải tiến, điểm nút của vector điện áp tham chiếu được giả sử nằm ở vùng 2 của sector I, như được biểu diễn ở hình 3.3. Kết quả là, ba vector thành phần  $\vec{V}_1$ ,  $\vec{V}_2$ , và  $\vec{V}_7$  được sử dụng để tạo ra vector  $\vec{V}_{ref}$ . Phương trình trình bày mối quan hệ giữa các vector này được biểu diễn như sau [37]:

$$\begin{cases} \vec{V}_{ref} \cdot T_s = \vec{V}_1 \cdot t_1 + \vec{V}_2 \cdot t_2 + \vec{V}_7 \cdot t_7 \\ T_s = t_1 + t_2 + t_7 \end{cases} \quad (3.2)$$

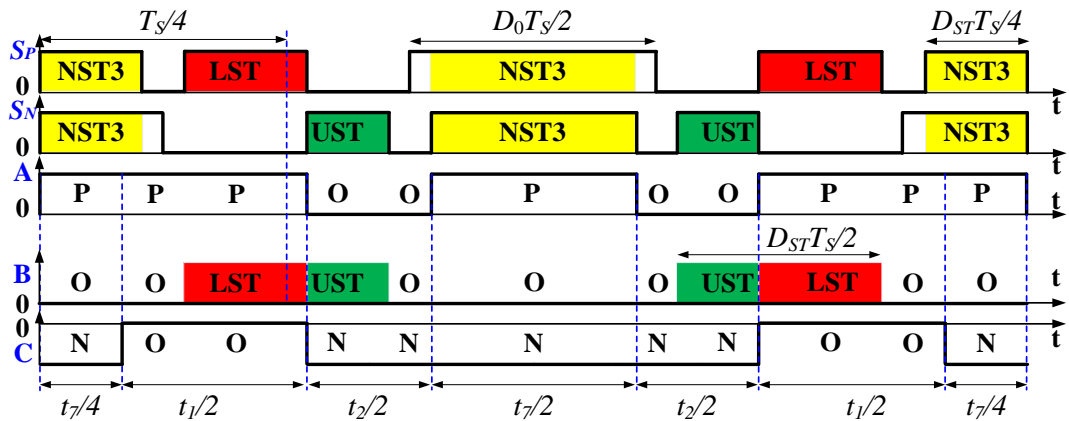
Trong đó:  $\vec{V}_{ref}$  là điện áp tham chiếu;  $\vec{V}_1$ ,  $\vec{V}_2$  là các vector nhỏ;  $\vec{V}_7$  là vector trung bình;  $t_1$ ,  $t_2$ ,  $t_7$  lần lượt là thời gian tác dụng của  $\vec{V}_1$ ,  $\vec{V}_2$ ,  $\vec{V}_7$ ;  $T_s$  là chu kỳ chuyển mạch của mạch nghịch lưu.

Những vector này được biểu diễn như phương trình sau [37]:

$$\begin{cases} \vec{V}_{ref} = 1 / \sqrt{3} \cdot M \cdot V_{PN} \cdot e^{j\theta} \\ \vec{V}_1 = 1 / 3 \cdot V_{PN} \cdot e^{j0} \\ \vec{V}_2 = 1 / 3 \cdot V_{PN} \cdot e^{j\pi/3} \\ \vec{V}_7 = 1 / \sqrt{3} \cdot V_{PN} \cdot e^{j\pi/6} \end{cases} \quad (3.3)$$

Thay phương trình (3.3) vào phương trình (3.2), thời gian tồn tại của các vector thành phần được chọn được tính toán như sau [37]:

$$\begin{cases} t_1 = T_s - 2MT_s \sin(\theta) \\ t_2 = T_s - 2MT_s \sin(\pi / 3 - \theta) \\ t_7 = 2MT_s \sin(\theta + \pi / 3) - T_s \end{cases} \quad (3.4)$$



Hình 3.4. Chuỗi xung cho vùng 2 của sector I.

Trong phương pháp giảm CMV truyền thống cho cấu hình 3L-T<sup>2</sup>I truyền thống, chuỗi chuyển mạch được lựa chọn: [POO]-[PON]-[OON]. Tuy nhiên, vì thời gian tác dụng của hai vector nhỏ [POO] và [OON] là không bằng nhau, do đó, trạng thái UST/LST rất khó để chèn vào chuỗi xung này. Do đó, phương pháp SVM đề xuất chuỗi xung chuyển mạch là: [PON]-[POO]-[OON]-[PON] và lặp lại, như biểu diễn ở hình 3.4. Nhằm kế thừa các ưu điểm của nghiên cứu ở chương 2, hai khóa  $S_P$  và  $S_N$  được điều khiển như hình 3.4.

Bảng 3.3 Chuỗi chuyển mạch của phương pháp SVM đề xuất

Sector	Vùng	Chuỗi chuyển mạch
I	1	[OOO]-[POO]-[PLO]-[OUN]-[OON]-[OOO] và lặp lại
	2	[PON]-[POO]-[PLO]-[OUN]-[OON]-[PON] và lặp lại
	3	[PPN]-[PON]-[OON]-[OUN]-[OON]-[PON]-[PPN] và lặp lại
	4	[PNN]-[PON]-[POO]- [PLO]-[POO]-[PON]-[PNN] và lặp lại
II	1	[OOO]-[OPO]-[LPO]-[UON]-[OON]-[OOO] và lặp lại
	2	[OPN]-[OPO]- [LPO]-[UON]-[OON]-[OPN] và lặp lại
	3	[NPN]-[OPN]-[OPO]-[LPO]-[OPO]-[OPN]-[NPN] và lặp lại
	4	[PPN]-[OPN]-[OON]-[UON]-[OON]-[OPN]-[PPN] và lặp lại
III	1	[OOO]-[OPO]-[OPL]-[NOU]-[NOO]-[OOO] và lặp lại
	2	[NPO]-[OPO]- [OPL]-[NOU]-[NOO]-[NPO] và lặp lại
	3	[NPP]-[NPO]-[NOO]-[NOU]-[NOO]-[NPO]-[NPP] và lặp lại
	4	[NPN]-[NPO]-[OPO]-[OPL]-[OPO]-[NPO]-[NPN] và lặp lại
IV	1	[OOO]-[OOP]-[OLP]-[NUO]-[NOO]-[OOO] và lặp lại
	2	[NOP]-[OOP]- [OLP]-[NUO]-[NOO]-[NOP] và lặp lại
	3	[NNP]-[NOP]-[OOP]-[OLP]-[OOP]-[NOP]-[NNP] và lặp lại
	4	[NPP]-[NOP]-[NOO]-[NUO]-[NOO]-[NOP]-[NPP] và lặp lại
V	1	[OOO]-[OOP]-[LOP]-[UNO]-[ONO]-[OOO] và lặp lại
	2	[ONP]-[OOP]- [LOP]-[UNO]-[ONO]-[ONP] và lặp lại
	3	[PNP]-[ONP]-[ONO]-[UNO]-[ONO]-[ONP]-[PNP] và lặp lại
	4	[NNP]-[ONP]-[OOP]-[LOP]-[OOP]-[ONP]-[NNP] và lặp lại
VI	1	[OOO]-[POO]-[POL]-[ONU]-[ONO]-[OOO] và lặp lại
	2	[PNO]-[POO]- [POL]-[ONU]-[ONO]-[PNO] và lặp lại
	3	[PNN]-[PNO]-[POO]-[POL]-[POO]-[PNO]-[PNN] và lặp lại
	4	[PNP]-[PNO]-[ONO]-[ONU]-[ONO]-[PNO]-[PNP] và lặp lại

Tương tự như vùng 2 của sector I, khi vector tham chiếu nằm trong các vùng khác, phương pháp tương tự cũng được áp dụng để tính toán, lựa chọn chuỗi xung và chèn trạng thái UST/LST. Ví dụ, xem xét vùng 4 của sector I, ba vector thành phần là vector [POO], [PON], và [PNN] được dùng cho chuỗi xung ngõ ra. Khi này, chỉ tồn tại duy nhất vector nhỏ dạng P là [POO] trong chuỗi xung mà không có sự xuất hiện của vector nhỏ dạng N. Do đó, trạng thái LST được sử dụng thay vì trạng thái UST. Khi mạch nghịch lưu tạo ra vector [POO], pha B và pha C có thể được sử dụng để chèn vector LST. Tuy nhiên, trong ba vector [POO], [PON], và [PNN], pha B có thời gian

hoạt động ở trạng thái [O] lớn nhất. Do đó, pha B được sử dụng để chèn LST thay cho pha C. Khi này, chuỗi xung chuyển mạch được xác định như sau: [PNN]-[PON]-[POO]-[PLO]-[POO]-[PON]-[PNN] và lặp lại, như được biểu diễn ở bảng 3.3. Trạng thái “L” trong chuỗi xung đại diện cho trạng thái LST. Trong chuỗi chuyển mạch này, vector [PLO] được tạo ra bằng cách kích dẫn khóa  $S_{1a}$ ,  $S_{2a}$  của pha A, khóa  $S_{2b}$ ,  $S_{3b}$ ,  $S_{4b}$  của pha B, và  $S_{2c}$ , và  $S_{3c}$  của pha C. Lưu ý rằng, mặc dù ba khóa  $S_{2b}$ ,  $S_{3b}$ ,  $S_{4b}$  của pha B được kích dẫn đồng thời nhằm tạo ra trạng thái LST, điện áp ngõ ra tại pha B vẫn duy trì ở 0-V như vector [POO]. Trong suốt trạng thái LST, khóa  $S_P$  phía mạng nguồn kháng được kích dẫn nhằm tích trữ năng lượng cho cuộn dây  $L_B$ . Chuỗi chuyển mạch của phương pháp đề xuất cho các vị trí khác của vector tham chiếu được liệt kê như bảng 3.3.

### 3.2.2 Phân tích trạng thái xác lập

Dạng sóng điện áp cuộn dây  $L_B$  phía mạng nguồn kháng trong mỗi chu kỳ chuyển mạch được biểu diễn như hình 3.5. Có thể thấy rằng, điện áp qua cuộn dây  $L_B$  đạt được giá trị  $V_{dc}$  trong cả hai trạng thái UST và LST. Do đó, hệ số tăng áp không bị ảnh hưởng khi thời gian tác dụng của hai trạng thái UST và LST không bằng nhau. Trong trạng thái xác lập, giá trị trung bình điện áp của cuộn cảm bằng 0-V. Từ đó, điện áp trên các tụ điện có thể tính toán như sau [30]:

$$V_{CP} = V_{CN} = \frac{V_{dc}}{2 - 3D_{ST} - D_0} \quad (3.5)$$

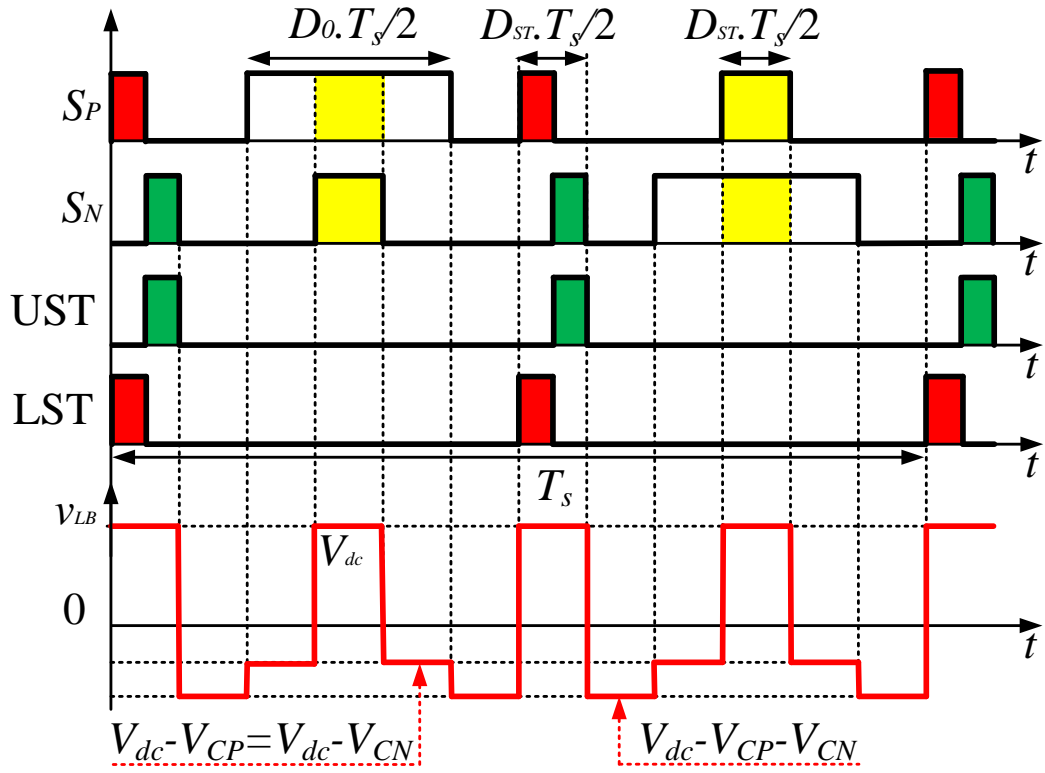
Trong đó:

$V_{CP}$ ,  $V_{CN}$ : điện áp của các tụ điện  $C_P$  và  $C_N$ .

$V_{dc}$ : nguồn DC ngõ vào.

$D_{ST}$ : hệ số trùng dẫn.

$D_0$ : hệ số mở rộng của hai khóa  $S_P$  và  $S_N$ .



Hình 3.5. Điện áp cuộn cảm  $L_B$  trong mỗi chu kỳ sóng mang.

Mối quan hệ giữa  $D_{ST}$  và  $D_0$  được biểu diễn như sau [30]:

$$D_{ST} \leq D_0 \leq 1 - D_{ST} \quad (3.6)$$

Giá trị đỉnh của điện áp ngõ ra được tính toán như sau [30]:

$$V_{x,peak} = \frac{2}{\sqrt{3}} M V_C = \frac{2}{\sqrt{3}} \cdot \frac{M \cdot V_{dc}}{2 - 3D_{ST} - D_0} \quad (3.7)$$

Vì trạng thái UST/LST được xem xét chèn vào các vector nhỏ, do đó, mối quan hệ giữa  $D_{ST}$  và  $M$  được biểu diễn như sau [30]:

$$\begin{cases} M \leq 1 \\ M + D_{ST} / 2 \leq 1 \end{cases} \quad (3.8)$$

### 3.2.3 Cân bằng điện thế điểm trung tính

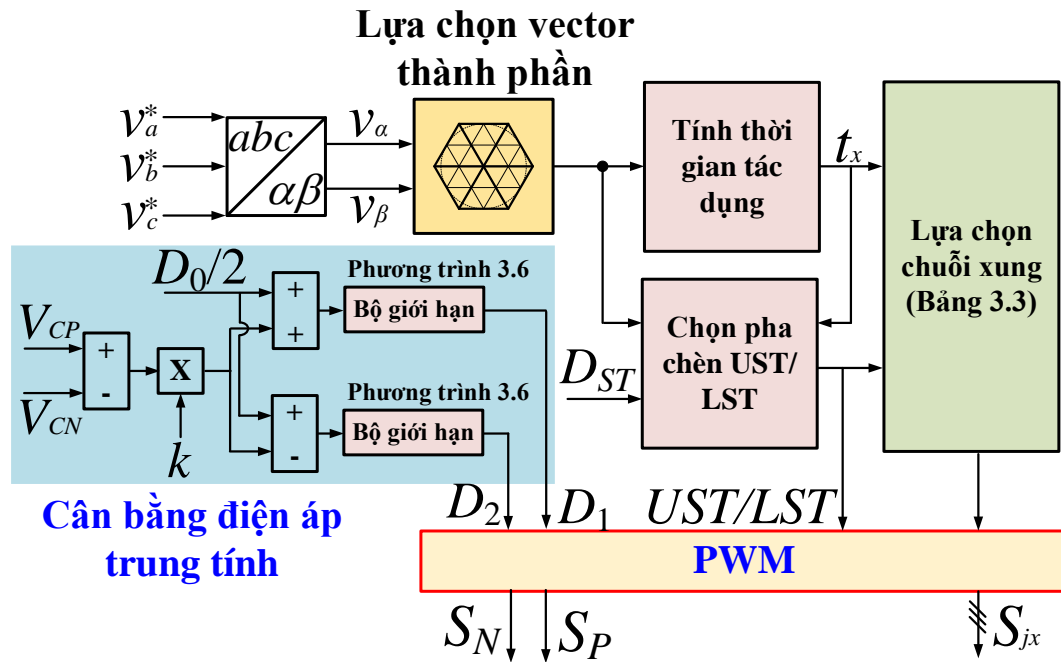
Vấn đề mất cân bằng điện áp trên các tụ điện có thể giải quyết bằng hệ số  $D_0$  của hai khóa bán dẫn  $S_P$  và  $S_N$ . Một cách chi tiết, thời gian tác dụng của hai trạng thái NST 1 và NST 2 được biểu diễn như hình 3.2(a) và 3.2(b) được sử dụng để giải quyết vấn đề này. Như được biểu diễn ở hình 3.2(a), khi chế độ NST 1 được kích hoạt, tụ điện  $C_P$  xả năng lượng trong khi tụ  $C_N$  được nạp năng lượng. Kết quả là điện áp trên tụ  $C_P$  giảm trong khi điện áp trên tụ  $C_N$  tăng. Trong chế độ NST 2, được biểu diễn ở hình 3.2(b), điện áp trên tụ  $C_P$  tăng trong khi điện áp tụ  $C_N$  giảm. Trong phương pháp điều khiển đã đề cập, thời gian tác dụng của hai trạng thái này là bằng nhau và được tính toán bởi  $(D_0 - D_{ST})T_S/2$ . Nhằm cân bằng điện áp trên hai tụ điện, thời gian tác dụng của chế độ NST 1 và NST 2 được định nghĩa lại như sau:  $(D_1 - D_{ST})T_S/2$  và  $(D_2 - D_{ST})T_S/2$ , trong đó,  $D_1$  và  $D_2$  được định nghĩa là hệ số công tác tăng thêm của hai khóa  $S_P$  và  $S_N$ . Dựa vào điện áp tức thời của hai tụ điện, phương pháp cân bằng điện thế điểm trung tính được chia thành hai trường hợp chính như sau: 1) điện áp trên tụ  $C_P$  lớn hơn điện áp trên tụ  $C_N$ , 2) điện áp trên tụ  $C_P$  nhỏ hơn điện áp trên tụ  $C_N$ . Trong trường hợp 1, thời gian tác dụng của chế độ NST 1 được tăng cường trong khi thời gian tác dụng của trạng thái NST 2 được làm suy giảm. Ngược lại, trong trường hợp 2, thời gian tác dụng của chế độ NST 1 được làm giảm trong khi thời gian tác dụng của trạng thái NST 2 được tăng cường. Một cách đơn giản, hệ số  $D_1$  và  $D_2$  có thể được tính toán như sau [37]:

$$\begin{cases} D_1 = D_0 / 2 + k(V_{CP} - V_{CN}) \\ D_2 = D_0 / 2 - k(V_{CP} - V_{CN}) \end{cases} \quad (3.9)$$

Trong đó:  $k$  là hệ số khuếch đại.

Hệ số  $D_1$  và  $D_2$  sau khi tính toán phải được giới hạn bởi phương trình (3.6).

### 3.2.4 Sơ đồ thực hiện giải thuật SVM cải tiến



Hình 3.6. Sơ đồ thực hiện giải thuật SVM cải tiến.

Các bước thực hiện giải thuật SVM cải tiến được trình bày trong hình 3.6. Đầu tiên, điện áp ngõ ra mong muốn được chuyển đổi sang hệ trục  $\alpha\beta$  nhằm xác định vector điện áp tham chiếu. Dựa trên vị trí của vector điện áp tham chiếu, ba vector lân cận sẽ được lựa chọn. Lưu ý, chỉ những vector được liệt kê trong hình 3.2 được sử dụng trong phương pháp này. Tiếp theo, thời gian tồn tại của những vector được lựa chọn được tính toán, như được trình bày trong phần 3.1. Ngoài ra, tính chất của các vector nhỏ (dạng P hoặc dạng N) được lựa chọn cũng được dùng để xác định việc sử dụng trạng thái UST hay LST và pha được sử dụng để chèn các trạng thái này. Tiếp theo đó, chuỗi xung chuyển mạch được xác định, như được mô tả ở bảng 3.3. Hai hệ số công tác tăng thêm của khóa  $S_P$  và  $S_N$ , là  $D_1$  và  $D_2$ , được xác định dựa trên giá trị điện áp của các tụ điện nhằm cân bằng điện thế điểm trung tính. Sau khi hoàn thành các bước này, các thông số được đưa đến khối PWM để tạo tín hiệu điều khiển cho các khóa của bộ nghịch lưu.

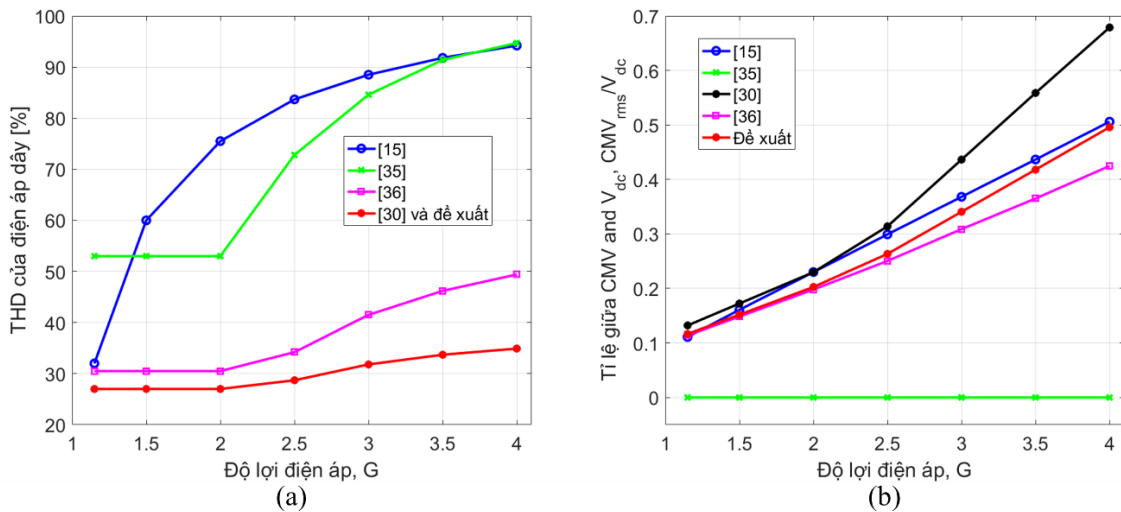


### 3.3 So sánh giữa giải thuật đề xuất và các giải thuật trước đó

Bảng 3.4 So sánh tổng quát

	3L-qZSI/2-LC [15]	3L-qSBI/1-L [35]	3L-qSBI/1-L [30]	3L-qSBI/1-L [36]	Đề xuất
Hệ số trùng dẫn, $D_{ST}$	$1 - M$	$1 - M$	$2(1 - M)$	$1 - M$	$2(1 - M)$
Hệ số tăng áp*	$1/(1 - 2D_{ST})$	$2/(1 - 2D_{ST})$	$2/(1 - 2D_{ST})$	$2/(1 - 4D_{ST})$	$2/(1 - 2D_{ST})$
Điện áp ngõ ra	$1.15 \cdot MB/2$	$MB/2$	$1.15 \cdot MB/2$	$1.15 \cdot MB/2$	$1.15 \cdot MB/2$
Độ lợi điện áp	Rất thấp	Thấp	Cao	Cao	Cao
CMV	$-V_{PN}/6 - V_{PN}/6$	0	$-V_{PN}/3 - V_{PN}/3$	$-V_{PN}/6 - V_{PN}/6$	$-V_{PN}/6 - V_{PN}/6$
Điện áp dây	Đơn cực	Lưỡng cực	Đơn cực	Đơn cực	Đơn cực
THD của $V_{AB}$	88.5% tại $G = 3$	84.6% tại $G = 3$	31.8% tại $G = 3$	41.5% tại $G = 3$	31.8% tại $G = 3$
Chất lượng điện áp dây ngõ ra	Thấp	Rất thấp	Cao	Thấp	Cao

\* Chỉ những giá trị cao nhất được xem xét trong so sánh này



Hình 3.7. So sánh giữa giải thuật đề xuất và các công bố trước đó.

Phương pháp đề xuất được xem xét so sánh với các cấu hình nghịch lưu một tầng và các giải thuật đã công bố. Những so sánh tổng quát được liệt kê trong bảng 3.4. Trong các nghiên cứu này, phương pháp đề xuất và phương pháp [30] thể hiện ưu điểm

trong việc sử dụng chỉ số điều chế  $M$ , vì với cùng một giá trị của  $M$ , giải thuật đề xuất và [30] có thể tạo ra hệ số trùng dẫn gấp hai lần các phương pháp khác. Lợi thế này giúp cho nghiên cứu đề xuất cải thiện được điện áp đặt trên các linh kiện và chất lượng điện áp ngõ ra. Cấu hình qZSI được trình bày ở [15] có giá trị độ lợi điện áp thấp nhất. Do đó, cấu hình này yêu cầu điện áp DC-link cao hơn các cấu hình khác với cùng độ lợi điện áp. Đối với cấu hình 3L-qSBT<sup>2</sup>I, phương pháp ở nghiên cứu [35] có độ lợi điện áp thấp nhất vì giải thuật này chỉ sử dụng vector trung bình và vector không để tổng hợp điện áp ngõ ra. Nghiên cứu [36] có hệ số tăng áp cao nhất. Tuy nhiên, chỉ số điều chế của nghiên cứu này thấp hơn nghiên cứu đề xuất nên độ lợi của [36] bằng với nghiên cứu đề xuất.

Như biểu diễn ở hình 3.7(a), giá trị THD của điện áp dây của giải thuật điều khiển đề xuất và phương pháp [30] là tốt nhất. Ưu điểm này có thể giải thích bằng việc sử dụng các vector nhỏ đối với giải thuật đề xuất và [30]. Ngoài ra, vì phương pháp đề xuất có dạng sóng điện áp dây ngõ ra dạng đơn cực so với dạng sóng lưỡng cực ở phương pháp [35], nên phương pháp đề xuất có THD điện áp dây ngõ ra thấp hơn phương pháp [35]. Bên cạnh đó, phương pháp đề xuất có độ lợi điện áp cao hơn [35], từ đó phương pháp này sử dụng chỉ số điều chế cao hơn [35]. Đây cũng là một trong những nguyên nhân dẫn đến THD của điện áp dây tốt hơn ở giải thuật đề xuất. Mặc dù phương pháp [36] có cùng độ lợi điện áp với phương pháp đề xuất, tuy nhiên, phương pháp này sử dụng vector không, nên điện áp ngõ ra của giải thuật này có chất lượng thấp hơn phương pháp đề xuất.

Như được liệt kê trong bảng 3.4, phương pháp [35] có giá trị CMV thấp nhất. Tuy nhiên, chỉ số điều chế thấp và độ lợi điện áp là hai giới hạn chính của nghiên cứu này. Phương pháp [30] tạo ra biên độ CMV lớn nhất vì tất cả 12 vector nhỏ được sử dụng trong giải thuật này. Phương pháp ở [15], [36], và phương pháp đề xuất có thể giảm biên độ CMV xuống bằng  $\frac{1}{2}$  so với giải thuật [30] bằng cách loại bỏ các vector nhỏ tạo ra giá trị CMV cao. Tỷ số giữa giá trị hiệu dụng của CMV và điện áp ngõ vào của

những phương pháp trên được trình bày như hình 3.7(b). Hình 3.7(b) cho thấy rằng phương pháp đề xuất có thể giảm giá trị hiệu dụng của CMV so với [15] và [30]. Mặc dù CMV của giải thuật đề xuất lớn hơn giải thuật ở [35] và [36], THD điện áp của giải thuật đề xuất tốt hơn [35], [36] là một ưu điểm có thể xem xét.

Nhìn chung, đóng góp chính của nghiên cứu này là việc làm giảm biên độ của CMV mà vẫn duy trì được các ưu điểm đã trình bày của giải thuật trước đó như độ lợi điện áp và chất lượng điện áp ngõ ra cao.

### 3.4 Kết quả mô phỏng và thực nghiệm

#### 3.4.1 Kết quả mô phỏng

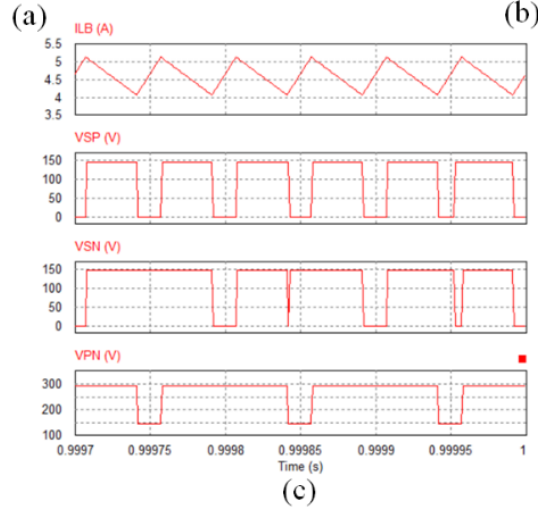
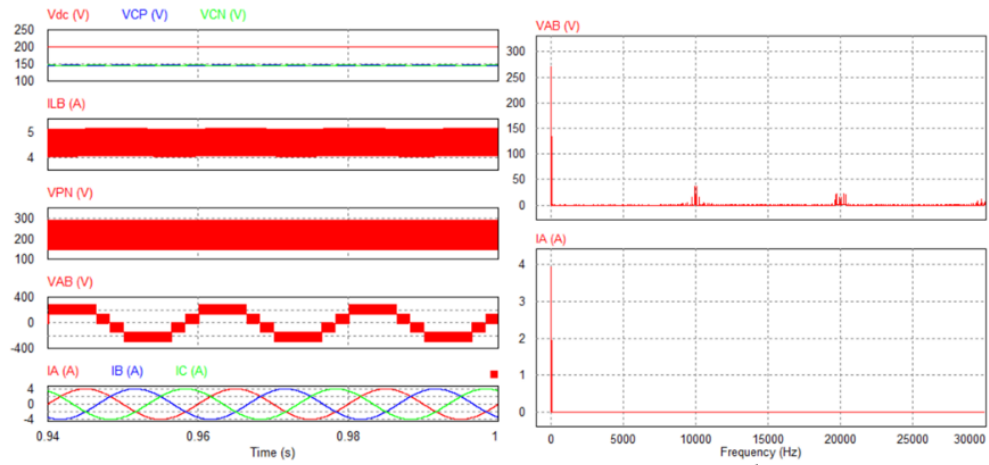
Bảng 3.5 Thông số mô phỏng và thực nghiệm

Thành phần		Values
Điện áp ngõ vào	$V_{dc}$	100-V ÷ 200-V
Điện áp ngõ ra	$V_{o,RMS}$	110-V <sub>RMS</sub>
Tần số ngõ ra	$f_o$	50 Hz
Tần số chuyển mạch	$f_s$	5 kHz
Hệ số trùng dẫn	$D_{ST}$	0.16
Hệ số tăng thêm	$D_0$	0.16 ÷ 0.84
Chỉ số điều chế	$M$	0.92
Cuộn cảm	$L_B$	3 mH/20 A
Tụ điện	$C_P = C_N$	2000 $\mu$ F/400 V
Mạch lọc LC	$L_f$ và $C_f$	3 mH và 10 $\mu$ F
Tải điện trở	$R$	40 $\Omega$

Phương pháp SVM đề xuất được kiểm chứng thông qua mô phỏng và thực nghiệm. Thông số mạch nghịch lưu được liệt kê như bảng 3.5. Kết quả mô phỏng được thu thập

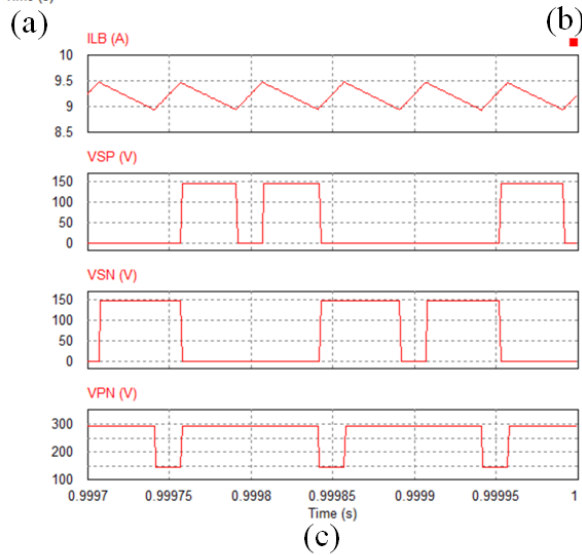
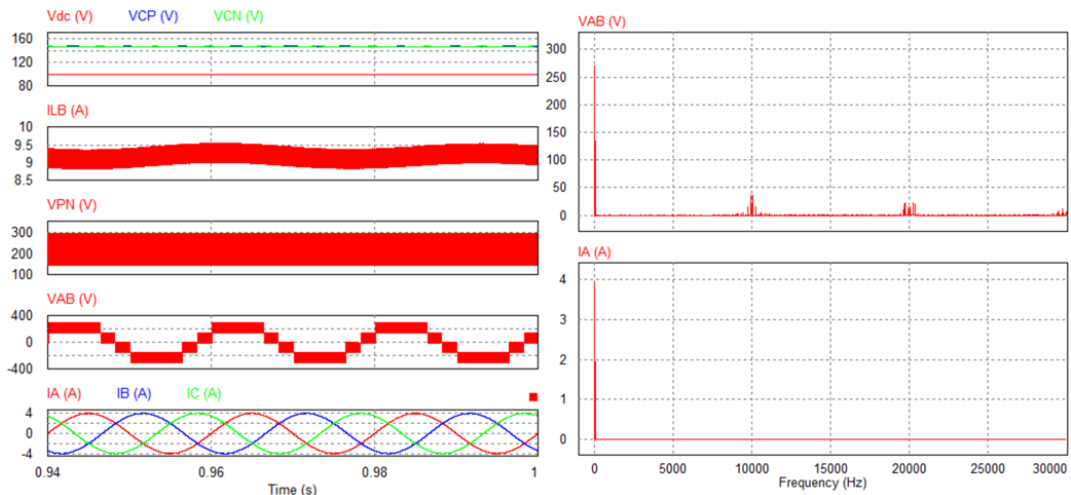
với sự hỗ trợ của phần mềm mô phỏng PSIM. Cuộn dây tăng áp  $L_B$  có giá trị 3mH, hai tụ điện  $C_P$  và  $C_N$  có điện dung 2mF. Mạch lọc LC có giá trị 3mH và 10 $\mu$ F được sử dụng có tần số cắt xấp xỉ 1 kHz. Theo lý thuyết, điện áp ngõ ra được điều khiển ở 110V<sub>RMS</sub>. Tải thuần trở 40- $\Omega$  được dùng cho mô phỏng và thực nghiệm. Hoạt động của mạch nghịch lưu với giải thuật đề xuất được kiểm chứng trong hai trường hợp: 1)  $V_{dc} = 200$ -V, và 2)  $V_{dc} = 100$ -V. Nhằm đạt được 110V<sub>RMS</sub> điện áp hiệu dụng ngõ ra, hệ số  $M$  và hệ số  $D_{ST}$  được chọn ở 0.92 và 0.16. Với 200 V điện áp ngõ vào, hệ số  $D_0$  được chọn ở giá trị thấp nhất là 0.16, trong khi giá trị của  $D_0$  được chọn là 0.84 cho trường hợp 100 V nguồn DC ngõ vào. Kết quả mô phỏng cho hai trường hợp trên được trình bày trong hình 3.8 và 3.9.

Kết quả mô phỏng cho trường hợp 200V điện áp ngõ vào được biểu diễn như hình 3.8. Trong trường hợp này, hai tụ điện  $C_P$  và  $C_N$  được tăng cường đến 147-V, như được biểu diễn ở hình 3.8(a). Kết quả là  $V_{PN}$  được tăng cường đến 294-V. Lưu ý rằng, dạng sóng của điện áp DC-link là dạng xung vuông dao động trong khoảng 147-V và 294-V. Điều này có thể giải thích do việc sử dụng trạng thái UST và LST phía nghịch lưu. Trong bán kỳ dương của điện áp dây ngõ ra,  $V_{AB}$  dao động từ 0-V đến giá trị cực đại của điện áp DC-link. Phân tích Fourier (Fast Fourier transform – FFT) của dạng sóng điện áp dây  $V_{AB}$  được biểu diễn như hình 3.8(b). Giá trị cực đại của phổ FFT đo được ở sóng hài bậc một và có biên độ 269-V. Có thể thấy rằng, các thành phần hài tần số cao ở dòng điện tải hầu như được triệt tiêu nhờ sự hỗ trợ của mạch lọc thông thấp LC như được biểu diễn ở hình 3.8(b). Do đó, dòng điện ngõ ra có dạng sine với biên độ đỉnh đo được là 3.88-A. THD của điện áp  $V_{AB}$  ngõ ra và dòng điện ngõ ra  $I_A$  đo được là 32.29% và 0.345%. Dòng điện qua cuộn dây  $L_B$  có giá trị trung bình là 4.59A. Hình 3.8(c) trình bày dạng sóng của dòng điện của  $L_B$ , điện áp đặt trên khóa  $S_P$  và  $S_N$ , và điện áp DC-link  $V_{PN}$  trong gần hai chu kỳ chuyển mạch. Những kết quả này biểu thị rằng, điện áp cực đại đặt trên hai khóa  $S_P$  và  $S_N$  bằng với điện áp trên tụ điện và bằng một nửa giá trị cực đại của điện áp DC-link.



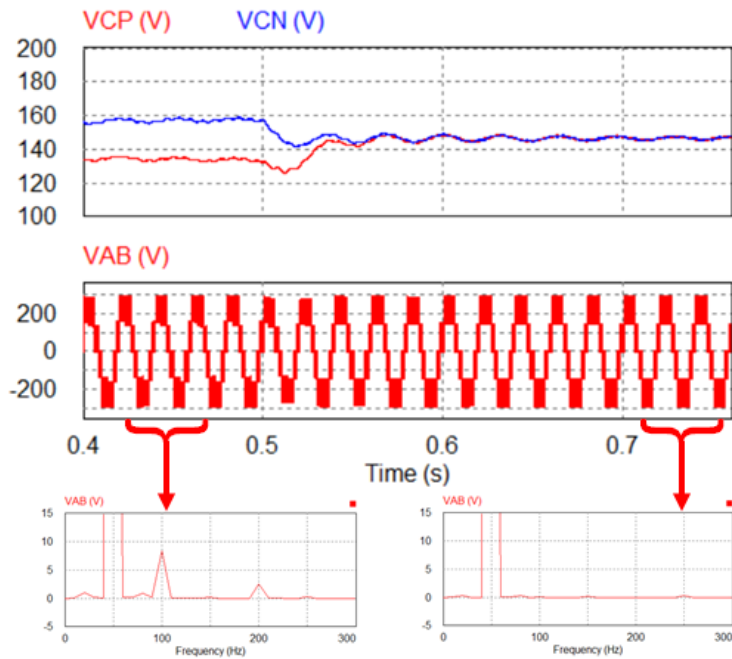
Hình 3.8. Mô phỏng với  $V_{dc} = 200\text{-V}$ .

Kết quả mô phỏng của giải thuật đề xuất cho trường hợp 100-V điện áp ngõ vào được biểu diễn như hình 3.9. Trong trường hợp này, để đạt được  $100V_{RMS}$  trên tải, giá trị cực đại hệ số tăng áp được sử dụng bằng cách cài đặt hệ số  $D_0$  ở giá trị 0.84. Với hệ số công tác này, điện áp trên hai tụ điện vẫn được tăng cường đến 147-V, như được biểu diễn ở hình 3.9(a). Kết quả là, điện áp DC-link và giá trị đỉnh của  $V_{AB}$  vẫn duy trì ở giá trị 294-V trong trường hợp này. Dựa vào phổ FFT của dạng sóng điện áp  $V_{AB}$  và  $I_A$ , giá trị THD của hai dạng sóng này được tính toán là 32.29% và 0.374%. Dòng điện trung bình qua cuộn dây  $L_B$  là 9.2-A. Cuộn cảm  $L_B$  vẫn có tần số hoạt động là 20kHz, như biểu diễn ở hình 3.9(c).

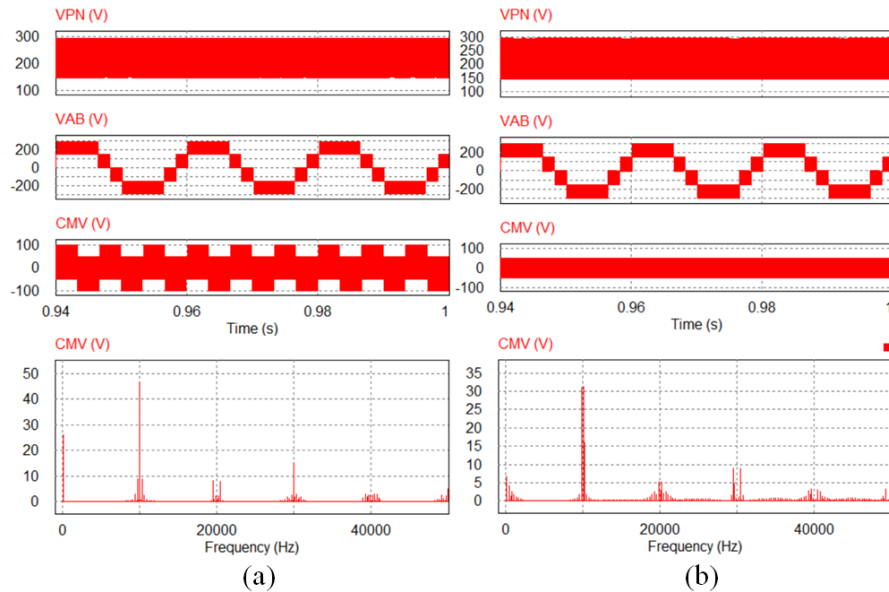


Hình 3.9. Kết quả mô phỏng với điện áp ngõ vào 100-V.

Mô phỏng cho phương pháp cân bằng điện thế điểm trung tính được trình bày trong hình 3.10. Có thể thấy rằng, việc không cân bằng điện áp trên hai tụ điện là nguyên nhân dẫn đến việc méo dạng điện áp dây ngõ ra. Sự méo dạng này có thể được quan sát bằng sự gia tăng biên độ của các thành phần hài tần số thấp (100 Hz và 200 Hz) như hình 3.10. Sau khi áp dụng phương pháp đề xuất, sự chênh lệch điện áp giữa hai tụ điện được suy giảm đáng kể và có giá trị rất nhỏ xem như gần bằng không. Điều này trực tiếp làm suy giảm các thành phần hài bậc thấp ở tần số 100 Hz và 200 Hz, như hình 3.10.



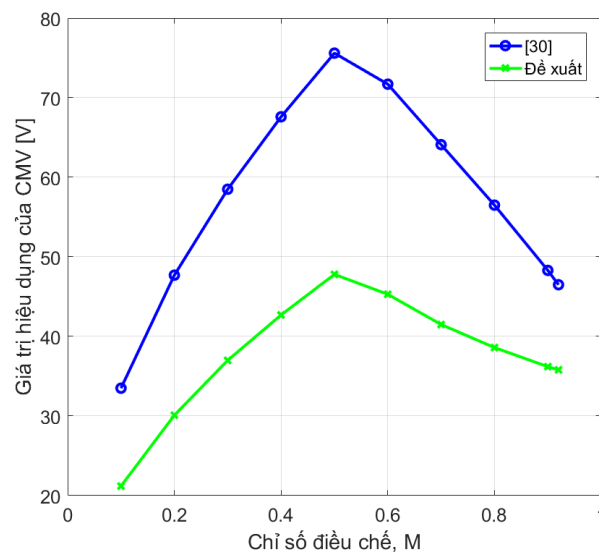
Hình 3.10. Kết quả mô phỏng cho phương pháp cân bằng điện thế điểm trung tính.



Hình 3.11. So sánh giữa phương pháp đề xuất và phương pháp [30]. (a) phương pháp [30], (b) phương pháp đề xuất.

So sánh CMV giữa giải thuật đề xuất và giải thuật [30] được trình bày ở chương 2 được trình bày ở hình 3.11. Có thể thấy rằng, hoạt động tăng/giảm áp của mạch nghịch

lưu là hoàn toàn giống nhau khi sử dụng phương pháp đề xuất và phương pháp [30]. Điều này được thể hiện ở dạng sóng  $V_{PN}$ . Dạng sóng  $V_{AB}$  có cùng giá trị THD là 32.29% đối với cả hai giải thuật điều khiển. Do đó, có thể kết luận rằng, giải thuật đề xuất bảo toàn được chất lượng điện áp ngõ ra so với giải thuật ở [30]. Tuy nhiên, phương pháp đề xuất có thể giảm biên độ đỉnh-đỉnh của CMV xuống còn  $\frac{1}{2}$  so với phương pháp [30]. Giá trị RMS của CMV đối với giải thuật đề xuất và [30] đo được là  $35.8V_{RMS}$  và  $46.4V_{RMS}$ . Từ đó, có thể thấy rằng giải thuật đề xuất có thể giảm 22.8% giá trị hiệu dụng của CMV so với [30]. Phổ FFT của CMV được biểu diễn như hình 3.11. Với giá trị CMV nhỏ hơn, giải thuật đề xuất làm giảm đáng kể biên độ CMV ở những thành phần tần số cao.

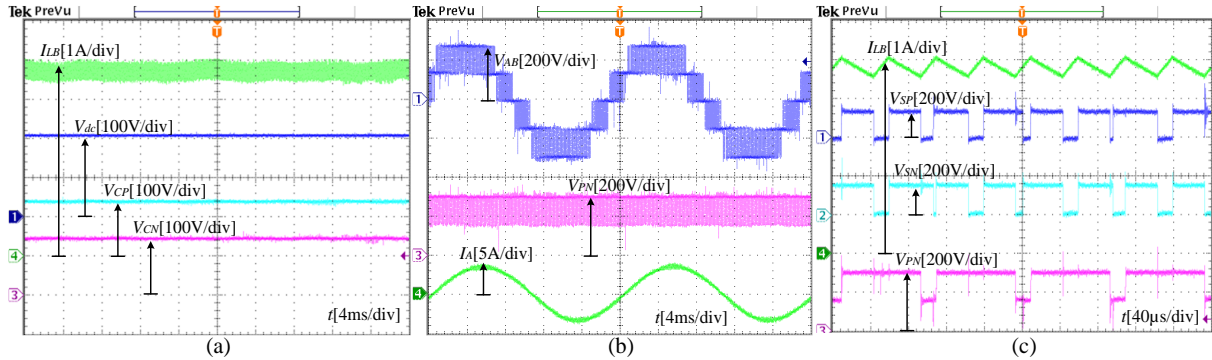


Hình 3.12. Khảo sát CMV của giải thuật đề xuất và giải thuật [30] với sự thay đổi của chỉ số điều chế.

Khảo sát CMV của giải thuật đề xuất và giải thuật [30] với sự thay đổi của hệ số  $M$  được trình bày ở hình 3.12. Có thể thấy rằng, phương pháp đề xuất luôn có giá trị hiệu dụng của CMV thấp hơn [30]. Ngoài ra, cả hai phương pháp đều đạt được giá trị cực đại của CMV tại chỉ số điều chế 0.5 vì thời gian tác dụng của các vector nhỏ được cực đại tại điều kiện hoạt động này.



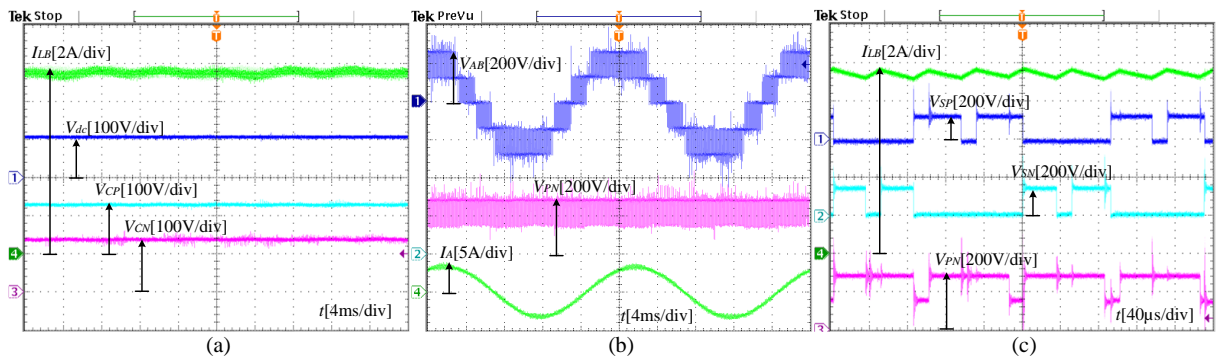
### 3.4.2 Kết quả thực nghiệm



Hình 3.13. Thực nghiệm với  $V_{dc} = 200\text{-V}$ .

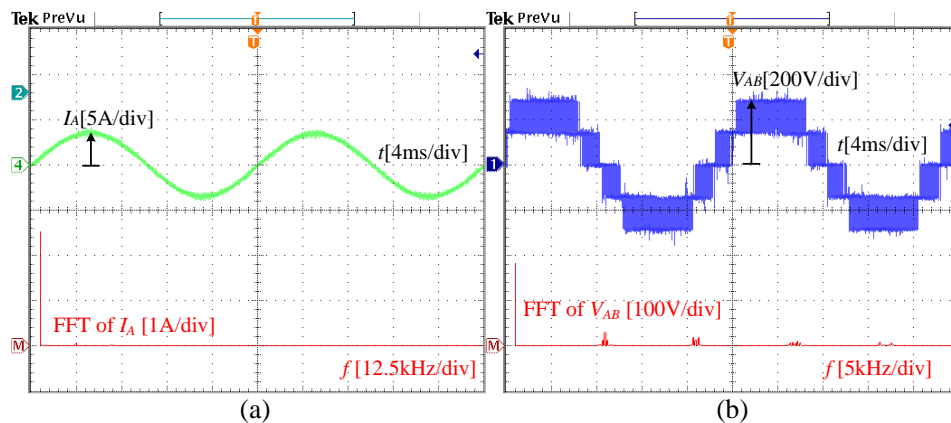
Mô hình thực nghiệm được trình bày ở chương 2 được sử dụng cho các kiểm chứng của giải thuật này. Thông số hoạt động của mô hình thực nghiệm được trình bày trong bảng 3.5. Cả hai trường hợp 200-V và 100-V điện áp ngõ vào được xem xét trong phần thực nghiệm. Kết quả thực nghiệm cho hai trường hợp này được trình bày như hình 3.13 – 3.15.

Với 200-V nguồn DC ngõ vào,  $V_{CP}$  và  $V_{CN}$  được tăng áp đến 140V và 141V, như được biểu diễn ở hình 3.13(a). Dòng điện ngõ vào liên tục, và có giá trị hiệu dụng là 4.78-A. Điện áp trên thanh cái  $V_{PN}$  cực đại là tổng điện áp của hai tụ điện, và có giá trị là 280V. Vì sử dụng UST/LST, nên điện áp DC-link dao động trong khoảng 140V đến 280V. Như được biểu diễn ở hình 3.13(b), dạng sóng  $V_{AB}$  có 5 bậc điện áp dao động từ -280V đến 280V. Dòng điện ngõ ra có dạng sine và có giá trị hiệu dụng là 2.59A. Hình 3.13(c) cho thấy rằng, cuộn cảm  $L_B$  hoạt động với tần số bằng 20 kHz. Có tần số hoạt động cao là một trong những nguyên nhân giúp cho giải thuật đề xuất giảm độ gợn sóng dòng điện qua cuộn dây khi so sánh với các giải thuật đã công bố. Dòng điện qua cuộn dây tăng và giảm một cách tuyến tính. Dòng điện tăng trong trạng thái UST/LST đạt được khi  $V_{PN}$  bằng 140V, và khi hai khóa  $S_P$  và  $S_N$  được kích dẫn đồng thời.



Hình 3.14. Thử nghiệm với  $V_{dc} = 100\text{-V}$ .

Khi nguồn DC ngõ vào đạt giá trị 100-V, hệ số  $D_0$  được tăng cường đến giá trị 0.84 nhằm đảm bảo biên độ dòng điện ngõ ra của mạch nghịch lưu, theo lý thuyết. Trong trường hợp này,  $V_{CP}$  và  $V_{CN}$  có giá trị 126V và 128V. Dòng điện trung bình qua cuộn dây là 9.35A, như biểu diễn ở hình 3.14(a). Điện áp DC-link đạt được giá trị cực đại là 254-V. Giá trị hiệu dụng của dòng điện tải là 2.52A.

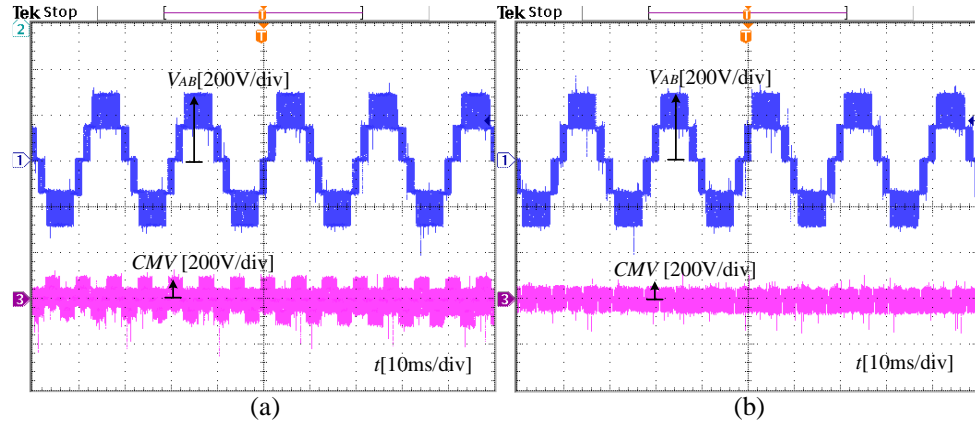


Hình 3.15 Phổ FFT của dòng điện và điện áp dây ngõ ra.

Phân tích FFT của dạng sóng dòng điện tải và điện áp dây ngõ ra được biểu diễn như hình 3.15. Giá trị THD của điện áp dây  $V_{AB}$  và dòng điện ngõ ra  $I_A$  đo được là 45.9% và 2.15%.

Giải thuật đề xuất và giải thuật ở [30] được xem xét trong so sánh về CMV. Kết quả thực nghiệm cho trường hợp này được trình bày ở hình 3.16. Có thể thấy rằng, phương pháp SVM đề xuất có thể giảm biên độ đỉnh của CMV khoảng 50% so với giải thuật ở [30] trong khi không làm thay đổi đến dạng sóng  $V_{AB}$ . Kết quả là, chất lượng

điện áp ngõ ra được duy trì ở phương pháp này. Giá trị hiệu dụng của CMV đối với phương pháp đề xuất và [30] lần lượt là 36.7V và 48.4V. Khi này, phương pháp SVM đề xuất có thể giảm khoảng 24.17% giá trị hiệu dụng của CMV so với [30].



Hình 3.16 Kết quả thực nghiệm CMV của giải thuật đề xuất và [30]. (a) giải thuật [30], (b) giải thuật đề xuất.

### 3.5 Kết luận chương 3

Trong chương này, giải thuật SVM cải tiến được đề xuất điều khiển mạch 3L-qSBT<sup>2</sup>I nhằm giảm CMV mà không làm ảnh hưởng đến các ưu điểm như cải thiện độ lợi điện áp và THD của điện áp dây ngõ ra được đề xuất trong chương 2. Cụ thể biên độ đỉnh-đỉnh của CMV giảm 50% so với giải thuật ở chương 2.

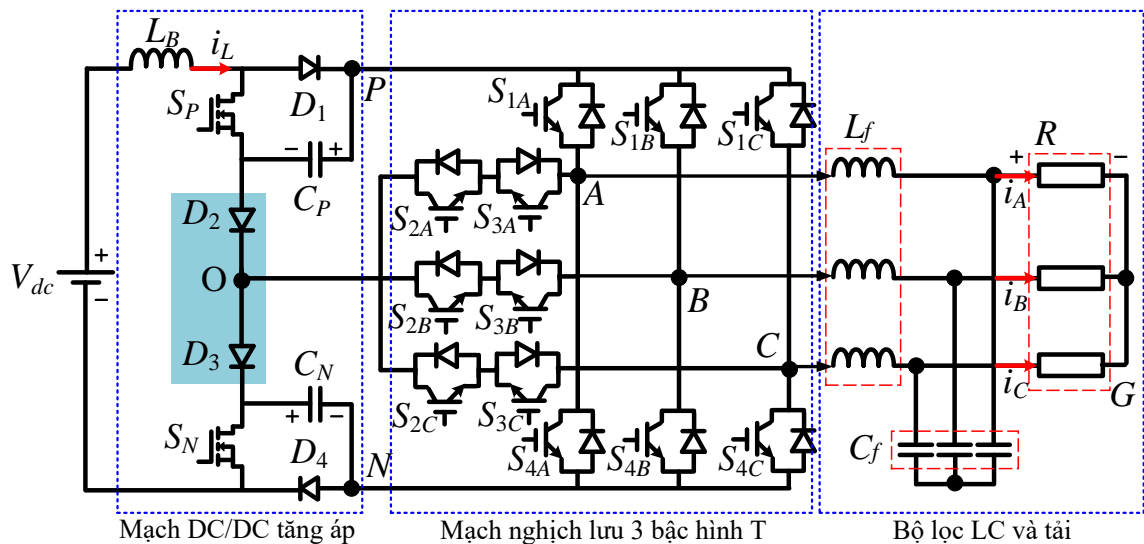
Mặc dù việc cân bằng điện áp sử dụng các vector nhỏ (đề xuất trong chương 2) là không khả thi với giải thuật này. Thay vào đó, hệ số công tác của hai khóa bán dẫn phía nguồn Z có thể được thay đổi để đảm bảo cân bằng điện áp trên hai tụ điện.

Mặc dù có ưu điểm trong việc giảm biên độ CMV, giải thuật đề xuất có nhược điểm trong việc tạo ra thêm hai chuyển mạch trên khóa bán dẫn phía nghịch lưu và hai chuyển mạch trên khóa bán dẫn phía mạng nguồn kháng. Do đó, giải thuật này thích hợp cho các ứng dụng hoạt động ở tần số chuyển mạch thấp hoặc cho các thiết kế với linh kiện có tổn hao chuyển mạch thấp (như linh kiện được chế tạo với công nghệ bán dẫn SiC hoặc GaN).

## Chương 4

# GIẢI THUẬT ĐỀ XUẤT CHO CẤU HÌNH TLB-T<sup>2</sup>I NHẪM KHẮC PHỤC SỰ CỐ TẠI CÁC KHÓA CÔNG SUẤT

Trong chương này, các phương pháp xử lý sự cố hở mạch mới sẽ được đề xuất nhằm khắc phục các nhược điểm còn tồn tại của các phương pháp truyền thống. Cấu hình được xem xét để thực hiện giải thuật đề xuất là mạch 3L-qS<sub>BT</sub><sup>2</sup>I như biểu diễn ở hình 4.1. Trong chương này, cấu hình này còn được gọi là (three-level boost T-type inverter – TLB-T<sup>2</sup>I). Để đơn giản, ba lỗi hở mạch sau sẽ được phân tích: 1) OCF tại  $S_P$ , 2) OCF tại  $S_{1A}$ , 3) OCF tại  $S_{2A}$  và  $S_{3A}$ . Các lỗi hở mạch còn lại sẽ được xử lý một cách tương tự. Ngoài ra, sự cố hở mạch và ngắn mạch xảy ra tại mạng nguồn kháng cũng được xem xét xử lý trong chương này.

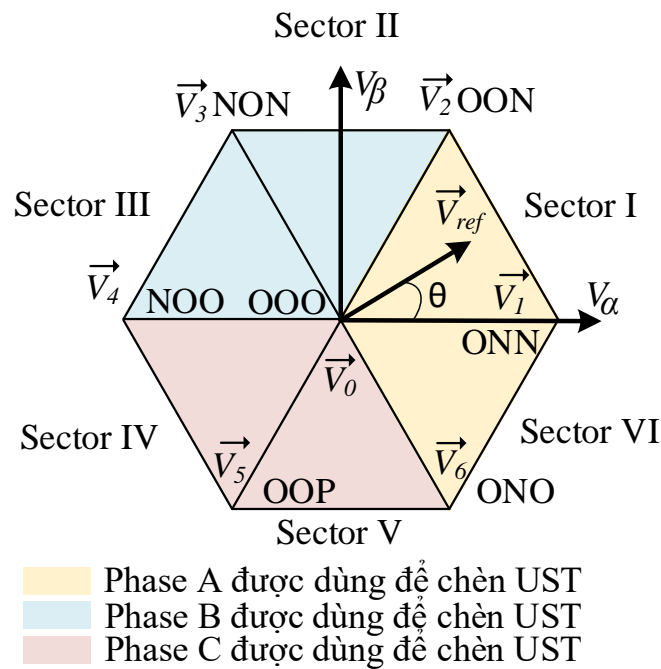


Hình 4.1. Cấu hình TLB-T<sup>2</sup>I.

## 4.1 Phương pháp xử lý lỗi cho cấu hình TLB-T<sup>2</sup>I

### 4.1.1 Phương pháp xử lý lỗi hở mạch cho khóa $S_P$

Giả sử sự cố hở mạch xảy ra tại khóa  $S_P$ . Khi đó, điện áp trên hai tụ điện bị mất cân bằng một cách nghiêm trọng do hoạt động không đối xứng của mạng nguồn kháng. Điều này dẫn đến điện áp ngõ ra của bộ nghịch lưu bị méo dạng một cách nghiêm trọng.



Hình 4.2. Giản đồ vector không gian để sửa lỗi khóa  $S_P$  hở mạch.

Để sửa được lỗi hở mạch tại khóa  $S_P$ , phương pháp đề xuất điều khiển bộ nghịch lưu hoạt động tương tự như bộ nghịch lưu hai tầng hai bậc truyền thống. Trong phương pháp đề xuất, ngõ ra của bộ nghịch lưu  $V_{XO}$  ( $X = A, B, C$ ) đạt được hai giá trị là  $0-V$  và  $-V_{CN}$  trong suốt quá trình hoạt động. Hai giá trị này được đại diện bởi hai trạng thái [O] và [N] trên giản đồ vector không gian, được biểu diễn như hình 4.2. Giá trị  $0-V$  tại ngõ ra đạt được bằng cách kích đóng đồng thời hai khóa bán dẫn  $S_{2X}$  và  $S_{3X}$ . Khi hai khóa  $S_{3X}$  và  $S_{4X}$  được kích đóng một cách đồng thời, điện áp  $-V_{CN}$  được tạo ra tại ngõ ra  $V_{XO}$

của bộ nghịch lưu. Có thể thấy rằng, khóa  $S_{3X}$  luôn được kích đóng khi giải thuật đề xuất được sử dụng. Tổ hợp các trạng thái điện áp ngõ ra của giải thuật đề xuất được biểu diễn như hình 4.2. Trong giải thuật này, trạng thái [NNN] (tạo ra bằng cách kích đóng đồng thời khóa  $S_{4A}, S_{4B}, S_{4C}$ ) không được sử dụng.

Giải thuật đề xuất chia gián đồ vector không gian (hình 4.2) thành 6 sector (I – IV). Một cách tổng quát, sector I được chọn để phân tích giải thuật đề xuất. Nếu vector điện áp tham chiếu  $\vec{V}_{ref}$  nằm trong sector I, các vector thành phần  $\vec{V}_0, \vec{V}_1, \vec{V}_2$  được sử dụng để tính toán vector điện áp ngõ ra. Mọi quan hệ giữa các vector này được biểu diễn như sau [71]:

$$\begin{cases} \vec{V}_{ref} \cdot T = \vec{V}_0 \cdot t_0 + \vec{V}_1 \cdot t_1 + \vec{V}_2 \cdot t_2 \\ T = t_0 + t_1 + t_2 \end{cases} \quad (4.1)$$

Trong đó:  $t_0, t_1, t_2$  – thời gian tác dụng của các vector thành phần  $\vec{V}_0, \vec{V}_1, \vec{V}_2$ ;  $T$  – chu kỳ chuyển mạch.

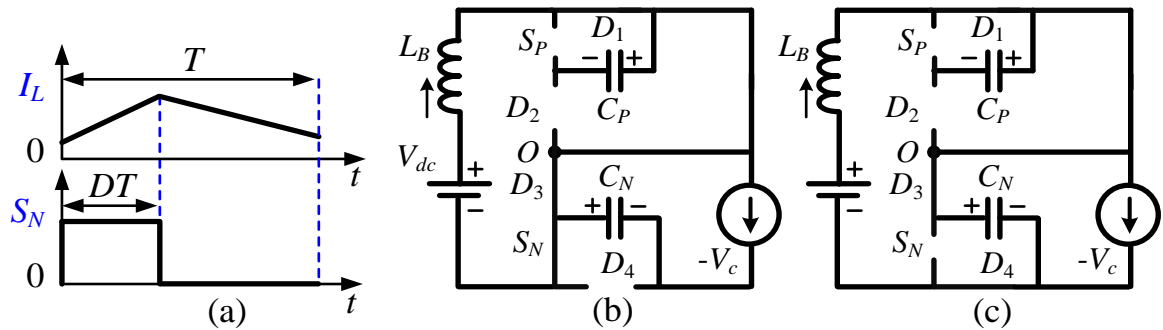
Các vector  $\vec{V}_0, \vec{V}_1, \vec{V}_2$  và vector tham chiếu được định nghĩa như sau [71]:

$$\begin{cases} \vec{V}_{ref} = 1 / \sqrt{3} \cdot M \cdot V_{CN} \cdot e^{j\theta} \\ \vec{V}_0 = 0 \\ \vec{V}_1 = 2 / 3 \cdot V_{CN} \cdot e^{j0} \\ \vec{V}_2 = 2 / 3 \cdot V_{CN} \cdot e^{j\pi/3} \end{cases} \quad (4.2)$$

Thay phương trình (4.2) vào phương trình (4.1), thời gian tác dụng của các vector thành phần được xác định như sau [71]:

$$\begin{cases} t_1 = MT \sin(\pi / 3 - \theta) \\ t_2 = MT \sin(\theta) \\ t_0 = T - t_1 - t_2 \end{cases} \quad (4.3)$$

Sau khi tính toán thời gian tác dụng, các vector  $\vec{V}_0, \vec{V}_1, \vec{V}_2$  được sắp xếp một cách tùy ý vào một chu kỳ chuyển mạch,  $T$ . Giải thuật này đề xuất chuỗi xung cho sector I như sau: [OOO] – [OON] – [ONN] – [OON] – [OOO]. Trong chuỗi xung này pha A luôn hoạt động ở trạng thái [O]. Do đó, để tăng cường điện áp trên tụ điện  $C_N$ , trạng thái UST được chèn vào pha A bằng cách kích đóng khóa  $S_{1A}, S_{2A}$  và  $S_{3A}$ . Khi này mạch nghịch lưu hoạt động ở hai chế độ chính là chế độ 1 và chế độ 2 được biểu diễn như hình 4.3(b) và 4.3(c). Trạng thái UST phân cực ngược diode  $D_2$  và phân cực thuận diode  $D_1$ . Khi này tụ điện  $C_P$  được cách ly khỏi mạch công suất. Lưu ý rằng, trạng thái UST được chèn vào pha A không làm thay đổi giá trị điện áp ngõ ra  $V_{AO}$ . Đối với những vị trí khác nhau của vector điện áp tham chiếu, trạng thái UST được chèn vào pha hoạt động ở trạng thái [O] nhiều nhất, cụ thể được biểu diễn như hình 4.2.



Hình 4.3. (a) Tín hiệu điều khiển của khóa  $S_N$ , (b) chế độ 1, (c) chế độ 2.

Hoạt động tăng áp được đảm bảo bằng cách điều khiển hệ số công tác của khóa bán dẫn  $S_N$ . Tín hiệu điều khiển của  $S_N$  được mô tả như hình 4.3(a). Khi  $S_N$  được kích đóng, chế độ 1 được kích hoạt như biểu diễn ở hình 4.3(b). Khi này, diode  $D_4$  phân cực ngược trong khi diode  $D_3$  phân cực thuận. Nhờ sự hỗ trợ của trạng thái UST phía nghịch lưu, cuộn dây  $L_B$  được nạp năng lượng từ nguồn ngõ vào  $V_{dc}$ . Điện áp trên cuộn dây tăng áp được tính toán như sau:

$$L_B \frac{di_L}{dt} = V_{dc} \quad (4.4)$$

Khi khóa  $S_N$  được kích ngắt, như mô tả trong hình 4.3(c), diode  $D_3$  và  $D_4$  phân cực thuận. Năng lượng tích trữ trong cuộn dây  $L_B$  và nguồn ngõ vào  $V_{dc}$  nạp cho tụ điện  $C_N$ . Điện áp đặt trên cuộn dây tăng áp trong trường hợp này được xác định như sau:

$$L_B \frac{di_L}{dt} = V_{dc} - V_{CN} \quad (4.5)$$

Dựa vào tín hiệu điều khiển của  $S_N$  được biểu diễn như hình 4.3(a), có thể xác định thời gian tác dụng của chế độ 1 và chế độ 2 trong mỗi chu kỳ chuyển mạch lần lượt là:  $DT$  và  $(1 - D)T$ . Trong trạng thái xác lập, điện áp trung bình của cuộn dây tăng áp bằng không. Do đó, điện áp trên tụ  $C_N$  được xác định như sau [71]:

$$V_{CN} = \frac{V_{dc}}{1 - D} \quad (4.6)$$

Điện áp ngõ ra trong trường hợp này được xác định như sau [71]:

$$V_{x,peak} = \frac{2}{\sqrt{3}} \times M \times \frac{V_{CN}}{2} = \frac{1}{\sqrt{3}} \times M \times \frac{V_{dc}}{1 - D} \quad (4.7)$$

Độ lợi điện áp của mạch nghịch lưu được tính toán như sau [71]:

$$G = \frac{V_{x,peak}}{V_{dc} / 2} = \frac{2}{\sqrt{3}} \times \frac{M}{1 - D} \quad (4.8)$$

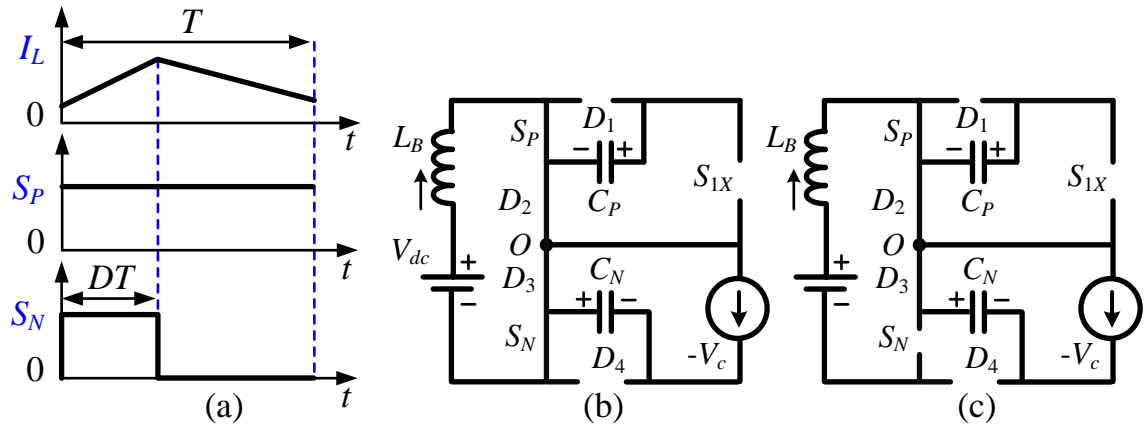
#### 4.1.2 Phương pháp xử lý lỗi hở mạch cho khóa $S_{IA}$

Khi lỗi hở mạch xảy ra tại khóa  $S_{IA}$ , điện áp cực ngõ ra pha A,  $V_{AO}$ , không thể đạt được trạng thái [P] trong quá trình hoạt động. Điều này dẫn đến sự méo dạng nghiêm trọng của điện áp và dòng điện ngõ ra vì một nửa bán kỳ dương của điện áp ngõ ra khi này bằng 0. Điện áp trên hai tụ điện bị mất cân bằng nghiêm trọng. Tương tự như lỗi hở mạch tại khóa  $S_P$ , lỗi hở mạch tại khóa  $S_{IA}$  cũng được xử lý bằng cách điều khiển mạch nghịch lưu hoạt động ở chế độ hai bậc hai tầng.

Các chế độ hoạt động của TLB-T<sup>2</sup>I và tín hiệu điều khiển hai khóa bán dẫn phía



ngược lưu được trình bày như hình 4.4. Trong trường hợp này, giải thuật điều khiển kích đóng khóa  $S_P$  và kích ngắt tín hiệu điều khiển của các khóa  $S_{1A}$ ,  $S_{1B}$  và  $S_{1C}$  phía ngược lưu. Điều này dẫn đến việc cách ly tụ điện  $C_P$  khỏi mạch công suất. Diode  $D_1$  phân cực ngược trong khi diode  $D_2$  phân cực thuận. Hai chế độ hoạt động chính của mạch ngược lưu được xác định thông qua trạng thái đóng ngắt của khóa  $S_N$ .



Hình 4.4. (a) Tín hiệu điều khiển của khóa  $S_P$ ,  $S_N$ , (b) chế độ 1, (c) chế độ 2.

Khi  $S_N$  được kích đóng, chế độ 1 được kích hoạt như biểu diễn ở hình 4.4(b). Khi này, diode  $D_4$  phân cực ngược trong khi diode  $D_3$  phân cực thuận. Cuộn dây  $L_B$  được nạp năng lượng từ nguồn ngõ vào  $V_{dc}$ . Điện áp qua cuộn dây tăng áp được tính toán như sau:

$$L_B \frac{di_L}{dt} = V_{dc} \quad (4.9)$$

Khi khóa  $S_N$  được kích ngắt, như mô tả trong hình 4.4(c), diode  $D_3$  và  $D_4$  phân cực thuận. Năng lượng tích trữ trong cuộn dây  $L_B$  và nguồn ngõ vào  $V_{dc}$  nạp cho tụ điện  $C_N$ . Điện áp đặt trên cuộn dây tăng áp trong trường hợp này được xác định như sau:

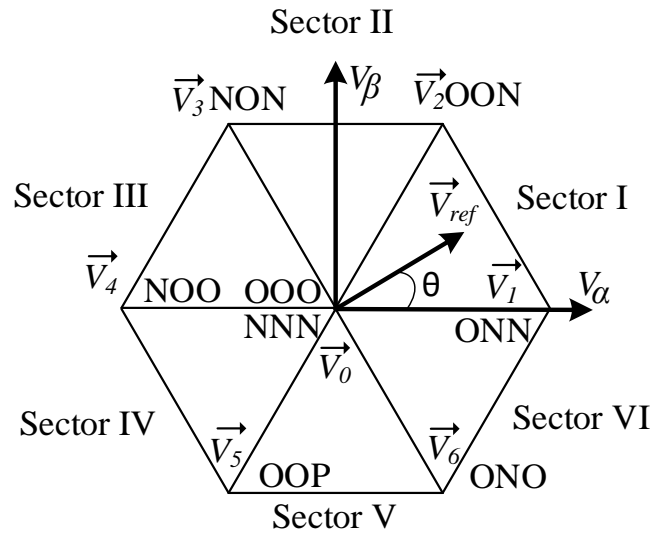
$$L_B \frac{di_L}{dt} = V_{dc} - V_{CN} \quad (4.10)$$

Dựa vào tín hiệu điều khiển của  $S_N$  được biểu diễn như hình 4.4(a), có thể xác định

thời gian tác dụng của chế độ 1 và chế độ 2 trong mỗi chu kỳ chuyển mạch lần lượt là:  $DT$  và  $(1 - D)T$ . Trong trạng thái xác lập, điện áp trung bình của cuộn dây tăng áp bằng không. Do đó, điện áp trên tụ  $C_N$  được xác định như sau [71]:

$$V_{CN} = \frac{V_{dc}}{1 - D} \quad (4.11)$$

Giải thuật đề xuất điều khiển mạch 3L-T<sup>2</sup>I hoạt động như một mạch nghịch lưu hai bậc truyền thông bằng cách kích ngắt tín hiệu điều khiển của ba khóa  $S_{1A}$ ,  $S_{1B}$ ,  $S_{1C}$ . Ngõ ra của bộ nghịch lưu tồn tại hai trạng thái là [O] và [N] tương ứng với hai giá trị điện áp là 0-V và  $-V_{CN}$ . Giá trị 0-V tại ngõ ra đạt được bằng cách kích đóng đồng thời hai khóa bán dẫn  $S_{2X}$  và  $S_{3X}$ . Khi hai khóa  $S_{3X}$  và khóa  $S_{4X}$  được kích đóng một cách đồng thời, điện áp  $-V_{CN}$  được tạo ra tại ngõ ra  $V_{XO}$  của bộ nghịch lưu. Có thể thấy rằng, khóa  $S_{3X}$  luôn được kích đóng khi giải thuật đề xuất được sử dụng. Tổ hợp các trạng thái điện áp ngõ ra của giải thuật đề xuất được biểu diễn như hình 4.5.



Hình 4.5. Giản đồ vector không gian cho giải thuật sửa lỗi khóa  $S_{1A}$ .

Khác với giải thuật đề xuất cho lỗi hở mạch tại khóa  $S_P$ , giải thuật đề xuất cho lỗi  $S_{1A}$  cho phép sử dụng trạng thái [NNN]. Phương pháp xác định các vector thành phần để tổng hợp vector điện áp tham chiếu, tính toán thời gian tác dụng được thực hiện

giống với phương pháp xử lý lỗi hở mạch cho khóa  $S_P$ . Tuy nhiên, chuỗi xung trong trường hợp này có sử dụng vector [NNN]. Ví dụ, chuỗi xung tác dụng đối với sector I như hình 4.5 được xác định như sau: [OOO] – [OON] – [ONN] – [NNN] và lặp lại.

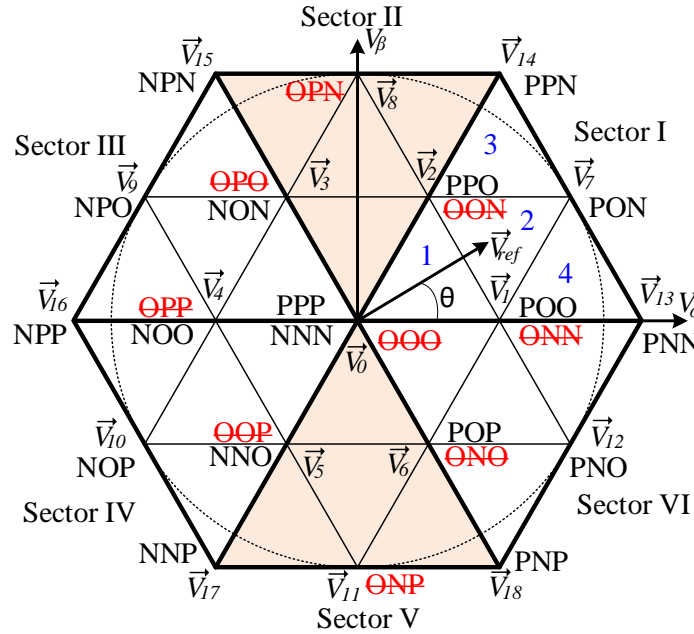
Điện áp ngõ ra trong trường hợp này được xác định như sau [71]:

$$V_{x,peak} = \frac{2}{\sqrt{3}} \times M \times \frac{V_{CN}}{2} = \frac{1}{\sqrt{3}} \times M \times \frac{V_{dc}}{1-D} \quad (4.12)$$

Độ lợi điện áp của mạch nghịch lưu được tính toán như sau [71]:

$$G = \frac{V_{x,peak}}{V_{dc}/2} = \frac{2}{\sqrt{3}} \times \frac{M}{1-D} \quad (4.13)$$

#### 4.1.3 Phương pháp xử lý lỗi hở mạch cho khóa $S_{2A}$ và $S_{3A}$



Hình 4.6. Giải đồ vector không gian cho giải thuật sửa lỗi khóa  $S_{2A}$  và  $S_{3A}$ .

So với lỗi hở mạch xảy tại khóa  $S_P$  và  $S_{1A}$ , lỗi hở mạch xảy tại khóa bán dẫn hai chiều  $S_{2A}$  và  $S_{3A}$  ít nghiêm trọng hơn. Đối với sự cố này, điện áp ngõ ra  $V_{AO}$  không thể đạt được trạng thái [O]. Điều này làm tăng giá trị THD của dòng điện ngõ ra và mất

cân bằng điện thế điểm trung tính.

Để xử lý sự cố này, giải thuật vector không gian cải tiến được sử dụng. Giải đồ vector không gian cho sự cố này được biểu diễn như hình 4.6. Có thể thấy rằng khi lỗi hở mạch xảy ra tại  $S_{2A}$  và  $S_{3A}$  các vector không [OOO], vector nhỏ [ONN], [OON], [OPO], [OPP], [OOP], [ONO] và hai vector trung [OPN] và [ONP] không thể đạt được tại ngõ ra của bộ nghịch lưu. Khác với các vector trung, các vector nhỏ và vector không luôn có các vector trùng lặp. Ví dụ, vector [ONN] có vector trùng lặp là vector [POO], hai vector này tạo ra cùng một giá trị điện áp ngõ ra. Do đó, hoạt động của mạch nghịch lưu trong các sector I, III, IV, VI có thể được đảm bảo tương tự như trong trạng thái bình thường nhờ sự trợ giúp của các vector trùng lặp. Phương pháp xác định các vector thành phần và tính toán thời gian tác dụng trong trường hợp này được thực hiện tương tự như trong trạng thái bình thường. Tuy nhiên, chuỗi xung trong trường hợp này được sửa đổi theo các vector dự phòng. Ví dụ, giả sử vector điện áp tham chiếu nằm trong vùng 2 của sector I, chuỗi xung tác dụng được xác định như sau: [PPO] – [PON] – [POO] – [PON] – [PPO].

Vì vector trung [OPN] và [ONP] không có các vector trùng lặp nên hoạt động của mạch nghịch lưu trong hai sector II và V không thể duy trì như trong trạng thái bình thường. Trong trường hợp này, giải thuật đề xuất điều khiển mạch nghịch lưu hoạt động như một mạch nghịch lưu 2 bậc. Một cách tổng quát, vector điện áp tham chiếu được giả sử nằm trong sector II để phân tích chi tiết về giải thuật này. Khi này ba vector thành phần  $\vec{V}_0$ ,  $\vec{V}_{14}$ , và  $\vec{V}_{15}$  được sử dụng để tổng hợp vector điện áp tham chiếu. Mối quan hệ giữa các vector này được biểu diễn như sau [71]:

$$\begin{cases} \vec{V}_{ref} \cdot T = \vec{V}_0 \cdot t_0 + \vec{V}_{14} \cdot t_{14} + \vec{V}_{15} \cdot t_{15} \\ T = t_0 + t_{14} + t_{15} \end{cases} \quad (4.14)$$

Trong đó:  $t_0, t_{14}, t_{15}$  – thời gian tác dụng của các vector thành phần  $\vec{V}_0, \vec{V}_{14}, \vec{V}_{15}$ .

Các vector  $\vec{V}_0, \vec{V}_{14}, \vec{V}_{15}$  và vector tham chiếu được định nghĩa như sau [71]:

$$\begin{cases} \vec{V}_{ref} = 1 / \sqrt{3} \cdot M \cdot V_{PN} \cdot e^{j\theta} \\ \vec{V}_0 = 0 \\ \vec{V}_{14} = 2 / 3 \cdot V_{PN} \cdot e^{j\pi/3} \\ \vec{V}_{15} = 2 / 3 \cdot V_{PN} \cdot e^{j2\pi/3} \end{cases} \quad (4.15)$$

Thay phương trình (4.15) vào phương trình (4.14), thời gian tác dụng của các vector thành phần được xác định như sau [71]:

$$\begin{cases} t_{14} = MT \sin(2\pi / 3 - \theta) \\ t_{15} = MT \sin(\theta - \pi / 3) \\ t_0 = T - t_{14} - t_{15} \end{cases} \quad (4.16)$$

Khi này chuỗi xung tác dụng đối với sector II được xác định như sau: [PPP]–[PPN]–[NPN]–[NNN] và lặp lại. Đối với giải thuật này, pha A hoạt động ở chế độ hai bậc trong khi các pha còn lại hoạt động ở chế độ 3 bậc.

#### 4.1.4 Phương pháp xử lý một số sự cố khác

Ba phương pháp xử lý sự cố hở mạch tại khóa bán dẫn  $S_P, S_{1A}$  và khóa bán dẫn hai chiều  $S_{2A}$  và  $S_{3A}$  là 3 đóng góp chính của nghiên cứu này. Tuy nhiên, các phương pháp này có thể được sử dụng để xử lý sự cố hở mạch và ngắn mạch tại các linh kiện khác của mạch TLB-T<sup>2</sup>I. Có thể thấy rằng trong phương pháp xử lý sự cố hở mạch cho  $S_{1A}$ , hai khóa  $S_{1B}$  và  $S_{1C}$  luôn được kích ngắt. Do đó, phương pháp này có khả năng xử lý sự cố hở mạch tại 3 khóa bán dẫn phía trên xảy ra cùng lúc. Điều này không thể đạt được đối với phương pháp truyền thống [62] – [67]. Ngoài ra diode  $D_1$  và  $D_2$  luôn luôn phân cực ngược và thuận trong phương pháp này. Do đó, phương pháp này có thể mở rộng cho sự cố hở mạch tại diode  $D_1$  và ngắn mạch tại diode  $D_2$ . Khóa  $S_P$  luôn kích đóng trong phương pháp này, do đó, lỗi ngắn mạch xảy ra tại khóa  $S_P$  cũng được xử lý một cách tương tự. Do tính đối xứng của mạch TLB-T<sup>2</sup>I, các lỗi hở mạch tại  $D_4$  và lỗi ngắn

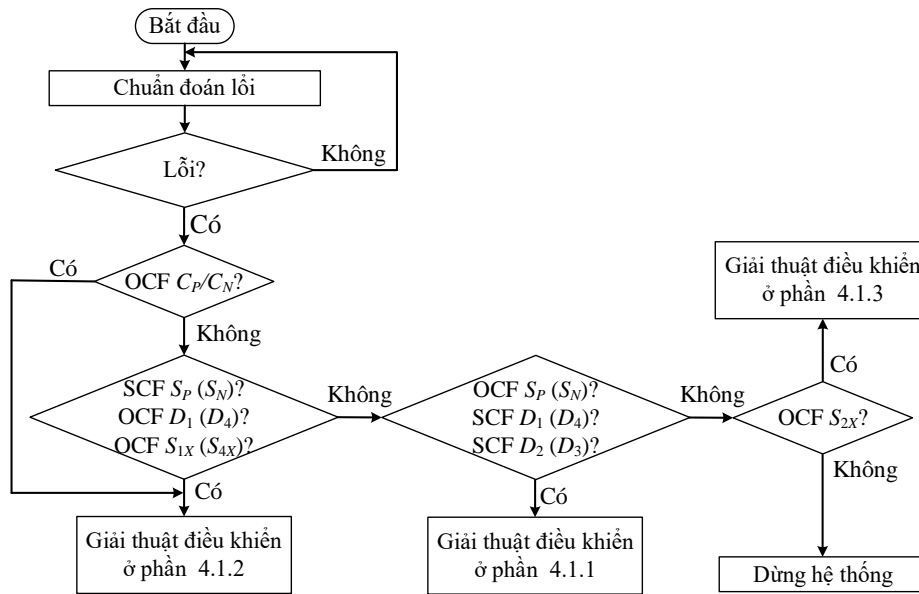
mạch tại  $D_3$  và  $S_N$  cũng được xử lý một cách tương tự.

Đối với phương pháp xử lý lỗi hở mạch của khóa  $S_P$ , diode  $D_2$  bị phân cực ngược trong khi diode  $D_1$  được phân cực thuận. Do đó, phương pháp này có thể mở rộng cho sự cố hở mạch tại  $D_2$  và sự cố ngắn mạch tại  $D_1$ . Phương pháp tương tự cũng có thể được sử dụng để xử lý sự cố hở mạch tại  $D_3$  và sự cố ngắn mạch tại  $D_4$ .

Các tụ điện trong cấu hình TLB-T<sup>2</sup>I có khả năng xảy ra sự cố ngắn mạch và sự cố hở mạch. Thông thường, sự cố ngắn mạch tại tụ điện sinh ra dòng điện có giá trị rất lớn chạy qua hai cực của tụ điện. Từ đó phá hủy cấu trúc của tụ điện. Khi này, lỗi ngắn mạch tại tụ điện được chuyển thành lỗi hở mạch. Có thể thấy rằng đối với hai phương pháp xử lý sự cố hở mạch cho  $S_P$  và  $S_{1A}$ , tụ điện  $C_P$  bị cách ly khỏi mạch công suất. Do đó, hai phương pháp này có thể được mở rộng để xử lý sự cố hở mạch tại tụ điện  $C_P$ . Phương pháp tương tự có thể được sử dụng để xử lý sự cố hở mạch tại tụ điện  $C_N$ .

#### 4.1.5 Lưu đồ xử lý sự cố của TLB-T<sup>2</sup>I

Lưu đồ hoạt động của mạch nghịch lưu được biểu diễn như hình 4.7. Phương pháp chuẩn đoán lỗi trình bày ở nghiên cứu [50] có thể được sử dụng để giám sát mạch nghịch lưu. Khi lỗi hở mạch/ngắn mạch được phát hiện, nó sẽ được phân loại và xử lý. Cụ thể như sau, nếu sự cố là lỗi hở mạch tại tụ điện  $C_P/C_N$  hoặc lỗi ngắn mạch tại khóa  $S_P/S_N$ , hoặc lỗi hở mạch tại diode  $D_1/D_4$ , hoặc lỗi hở mạch tại khóa  $S_{1X}/S_{4X}$ , giải thuật đề xuất ở phần 4.1.2 sẽ được kích hoạt để khôi phục hoạt động của hệ thống. Trong trường hợp, lỗi được phát hiện là lỗi hở mạch tại khóa  $S_P/S_N$ , hoặc lỗi ngắn mạch tại diode  $D_1/D_4$ , hoặc lỗi hở mạch tại diode  $D_2/D_3$ , phương pháp đề xuất ở phần 4.1.1 được sử dụng. Nếu lỗi hở mạch xảy ra tại khóa bán dẫn hai chiều  $S_{2X}/S_{3X}$ , phương pháp tại phần 4.1.3 sẽ được kích hoạt. Hệ thống sẽ dừng hoạt động đối với các sự cố khác.



Hình 4.7. Lưu đồ hoạt động của mạch TLB-T<sup>2</sup>I.

## 4.2 So sánh giữa giải thuật đề xuất và giải thuật truyền thống

Trong phần này, giải thuật truyền thống được trình bày trong [62] sẽ được so sánh với phương pháp đề xuất. Lưu ý rằng, giải thuật truyền thống [62] cho lỗi hở mạch tại  $S_{1A}$  làm giảm biên độ điện áp ngõ ra xuống còn  $\frac{1}{2}$  lần trong trạng thái bình thường. Do đó, mạch DC-DC tăng áp được cài đặt phía trước bộ nghịch lưu để tăng cường điện áp ngõ ra, như biểu diễn trong hình 1.4. Đối với cấu hình này, khi lỗi hở mạch xảy ra tại khóa  $S_{1A}$ , hệ số công tác của các khóa  $S_P$  và  $S_N$  được tăng cường để bù sự suy giảm điện áp tại ngõ ra. Ngoài cấu hình nghịch lưu hai tầng truyền thống, các cấu hình nghịch lưu 3 bậc tựa nguồn Z (three-level quasi-Z-source inverter – 3L-qZSI) [65], cấu hình nghịch lưu 3 bậc tựa khóa chuyển mạch (three-level quasi-switched boost inverter – 3L-qSBI) [66], [67] cũng được sử dụng để so sánh với giải thuật đề xuất. Trong nghiên cứu [65] – [67], hoạt động tăng áp được đảm bảo bởi mạng nguồn kháng với chế độ chuyển đổi một tầng. Các so sánh tổng quát được liệt kê như bảng 4.1. Trong đó, các ký hiệu F1, F2, F3 được sử dụng để chỉ phương pháp sửa lỗi hở mạch cho  $S_P$ ,  $S_{1A}$ , và khóa 2 chiều  $S_{2A}$  và  $S_{3A}$ .

Bảng 4.1. So sánh giữa giải thuật đề xuất và các cấu hình và giải thuật đã công bố.

	Nghịch lưu hai tầng (Hình 1.4)	3L-qZSI [65]	3L-qSBI [66]	3L-qSBI [67]	Đề xuất
Hệ số tăng áp, $B$	$1/(1-D)$ đối với $F2$ & $F3$	$1/(1-2D)$ đối với $F2$ & $F3$	$1/(1-2D)$ đối với $F2$ & $F3$	$1/(1-2D)$ đối với $F1$ $2/(1-2D)$ đối với $F2$ & $F3$	$1/(1-D)$ đối với $F1$ & $F2$ & $F3$
Độ lợi điện áp, $G$	$M \times B / \sqrt{3}$ đối với $F2$ $2M \times B / \sqrt{3}$ đối với $F3$	$M \times B / \sqrt{3}$ đối với $F2$ $2M \times B / \sqrt{3}$ đối với $F3$	$M \times B / \sqrt{3}$ đối với $F2$ $2M \times B / \sqrt{3}$ for $F3$	$M \times B / \sqrt{3}$ đối với $F2$ $2M \times B / \sqrt{3}$ đối với $F1$ & $F3$	$2M \times B / \sqrt{3}$ đối với $F1$ & $F2$ & $F3$
Điện áp trên tụ điện, $V_C/V_{dc}$	$B/2$ đối với $F2$ & $F3$	$(1-D)B/2$ đối với $F2$ & $F3$	$B/2$ đối với $F2$ & $F3$	$B$ đối với $F1$ $B/2$ đối với $F2$ & $F3$	$B/2$ đối với $F3$ $B$ đối với $F1$ & $F2$
Điện áp trên diode, $V_D/V_{dc}$	$B/2$ đối với $F2$ & $F3$	$B/2$ đối với $F2$ & $F3$	$B/2$ đối với $F2$ & $F3$	$B$ đối với $F1$ $B/2$ đối với $F2$ & $F3$	$B/2$ đối với $F3$ $B$ đối với $F1$ & $F2$
Điện áp trên $S_P/ S_N, V_S/V_{dc}$	$B/2$ đối với $F2$ & $F3$	NA	$B/2$ đối với $F2$ & $F3$	$B$ đối với $F1$ $B/2$ đối với $F2$	$B/2$ đối với $F3$ $B$ đối với $F1$ &



				& F3	F2
Điện áp trên khóa $S_{4X}$ , $V_{S4X}/V_{dc}$	B đối với F2 & F3	B đối với F2 & F3	B đối với F2 & F3	B đối với F1 & F2 & F3	B đối với F1 & F2 & F3
Tụ điện	2	4	2	2	2
Diode	2	2	2	4	4
Xử lý lỗi	F2 & F3	F2 & F3	F2 & F3	F1 & F2 & F3	F1 & F2 & F3
Xử lý OCF tại nhiều khóa $S_{1X}/S_{4X}$	Không	Không	Không	Không	Có
Xử lý OCF/SCF tại diode	NA	NA	NA	OCF tại $D_2/D_3$ SCF tại $D_1/D_4$	OCF/SCF tại $D_1, D_2, D_3, D_4$
Xử lý OCF/SCF tại $S_P/S_N$	NA	NA	NA	OCF	OCF & SCF
Xử lý OCF tại tụ điện	NA	NA	NA	Có	Có

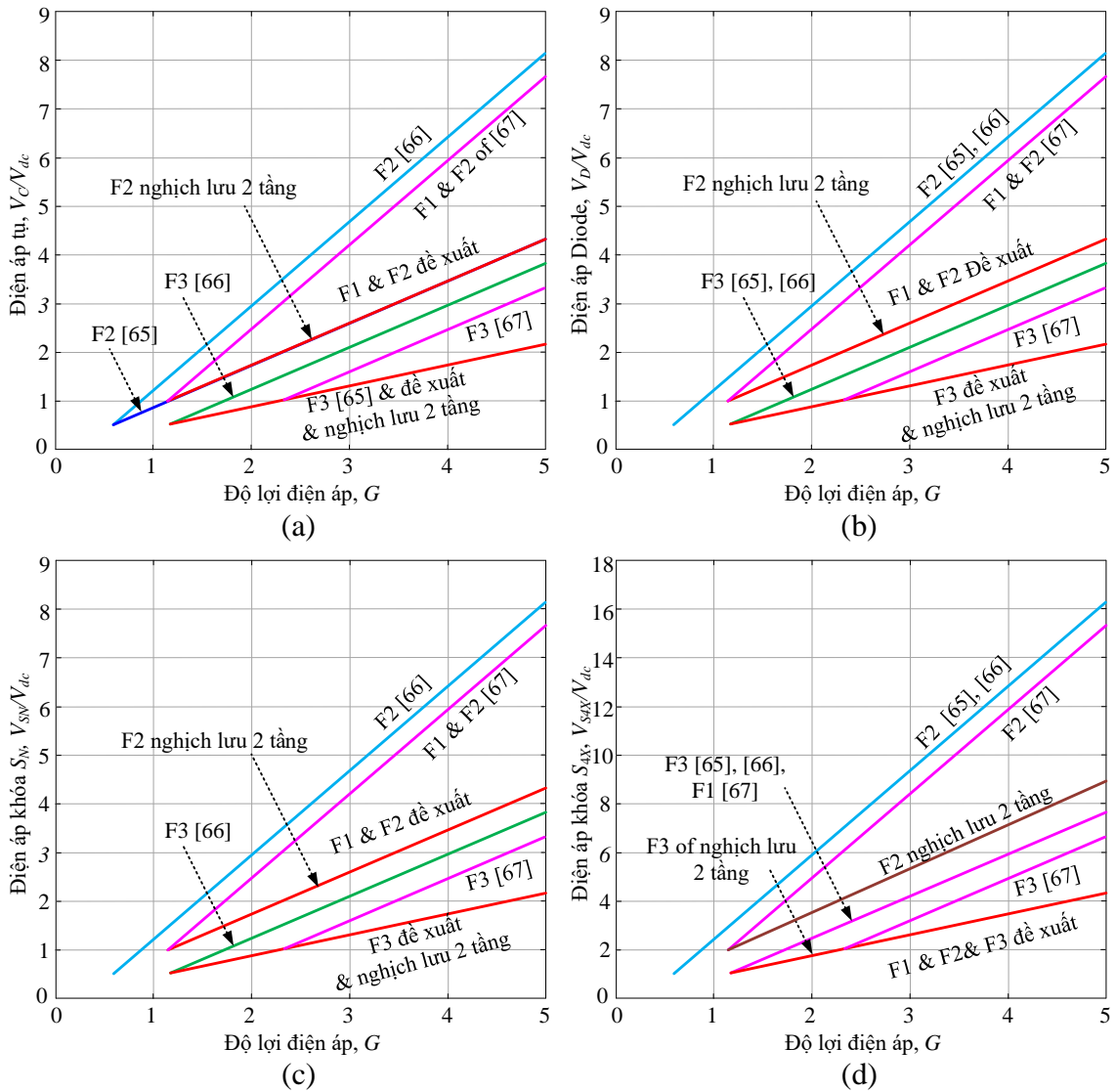
F1:  $S_P$  OCF    F2:  $S_{1A}$  OCF    F3:  $S_{2A}$  &  $S_{3A}$  OCFs    NA: Not Applicable – Không được đề cập

Một cách tổng quát, các cấu hình này cần mạng nguồn kháng để tăng cường điện áp DC-link trong trạng thái lỗi hở mạch khóa  $S_{1A}$  để bù sự suy giảm điện áp ngõ ra do giải thuật sinh ra. Trong các cấu hình này, mạch 3L-qZSI sử dụng số lượng cuộn dây và tụ điện lớn nhất. Nghiên cứu [66], [67], mạch nghịch lưu hai tầng truyền thống và giải thuật đề xuất yêu cầu số lượng cuộn dây và tụ điện thấp hơn nghiên cứu [65].

Đối với lỗi hở mạch xảy ra tại  $S_{1A}$ , khóa bán dẫn hai chiều của pha xảy ra lỗi được kích dẫn liên tục, đối với giải thuật truyền thống. Hai pha còn lại hoạt động với tín hiệu điều chế được điều chỉnh so với trạng thái bình thường nhằm phục hồi điện áp ngõ ra của bộ nghịch lưu [62], [65] – [67]. Do đó, nghiên cứu [62], [65] – [67] chỉ có thể giải quyết lỗi hở mạch xảy ra tại 1 trong những khóa phía trên hoặc phía dưới của 3L-T<sup>2</sup>I. Mạch nghịch lưu phải dừng hoạt động khi nhiều lỗi hở mạch xảy ra cùng lúc tại các khóa bán dẫn phía trên hoặc phía dưới tại nhiều nhánh khác nhau. Tuy nhiên, giải thuật đề xuất kích ngắt tất cả các khóa phía trên khi một lỗi hở mạch xảy ra tại một trong các khóa này. Do đó, giải thuật này có thể xử lý lỗi hở mạch xảy ra cùng lúc tại nhiều khóa bán dẫn phía trên của mạch 3L-T<sup>2</sup>I. Ngoài ra, phương pháp đề xuất có thể giải quyết đa dạng các lỗi của mạch TLB-T<sup>2</sup>I so với các nghiên cứu khác, như được liệt kê ở bảng 4.1. Tất cả các lỗi hở mạch và ngắn mạch của các linh kiện bán dẫn phía mạch TLB (diode, khóa  $S_P$  và  $S_N$ ) và lỗi hở mạch tại hai tụ điện được giải quyết bằng giải thuật đề xuất thích hợp.

Các khảo sát về điện áp đặt trên các linh kiện đối với những giải thuật xử lý sự cố tại khóa bán dẫn khác nhau được trình bày như hình 4.8. Để đơn giản hóa quá trình so sánh, chỉ những giá trị lớn nhất của điện áp đặt trên các linh kiện được thống kê so sánh. Ví dụ, có 4 tụ điện trong cấu hình 3L-qZSI, tuy nhiên, chỉ có tụ điện có điện áp đặt cao nhất được sử dụng để so sánh với các giải thuật khác. Hình 4.8(a) biểu diễn điện áp rơi trên các tụ điện. Trong các nghiên cứu này, phương pháp đề xuất, cấu hình nghịch lưu 2 tầng truyền thống và phương pháp [65] tạo ra điện áp rơi trên tụ điện thấp

nhất đối với cả ba phương pháp F1, F2 và F3. Ưu điểm này có thể đạt được nhờ sử dụng nhiều tụ điện phía mạng nguồn kháng [65], hoặc sử dụng chỉ số điều chế cao đối với phương pháp đề xuất và cấu hình hai tầng. Phương pháp [66], [67] tạo ra điện áp rơi trên tụ điện cao vì chỉ sử dụng hai tụ điện và hoạt động ở chỉ số điều chế thấp.



Hình 4.8. So sánh giữa giải thuật đề xuất và giải thuật truyền thống: (a)  $G$  và điện áp trên tụ điện, (b)  $G$  và điện áp trên diode, (c)  $G$  và điện áp trên khóa  $S_P/S_N$ , (d)  $G$  và điện áp trên khóa  $S_{4X}$  phía nghịch lưu.

Điện áp đặt trên các diode và các khóa bán dẫn được biểu diễn như hình 4.8(b) – 4.8(d). Một cách tổng quát điện áp đặt trên các diode và các khóa tích cực phụ thuộc vào điện áp DC-link của mạch nghịch lưu. Trong khi đó, điện áp DC-link phụ thuộc vào chỉ số điều chế,  $M$ , như sau [71]:

$$V_{PN} = \frac{2 \times V_{x,peak}}{M} \quad (4.17)$$

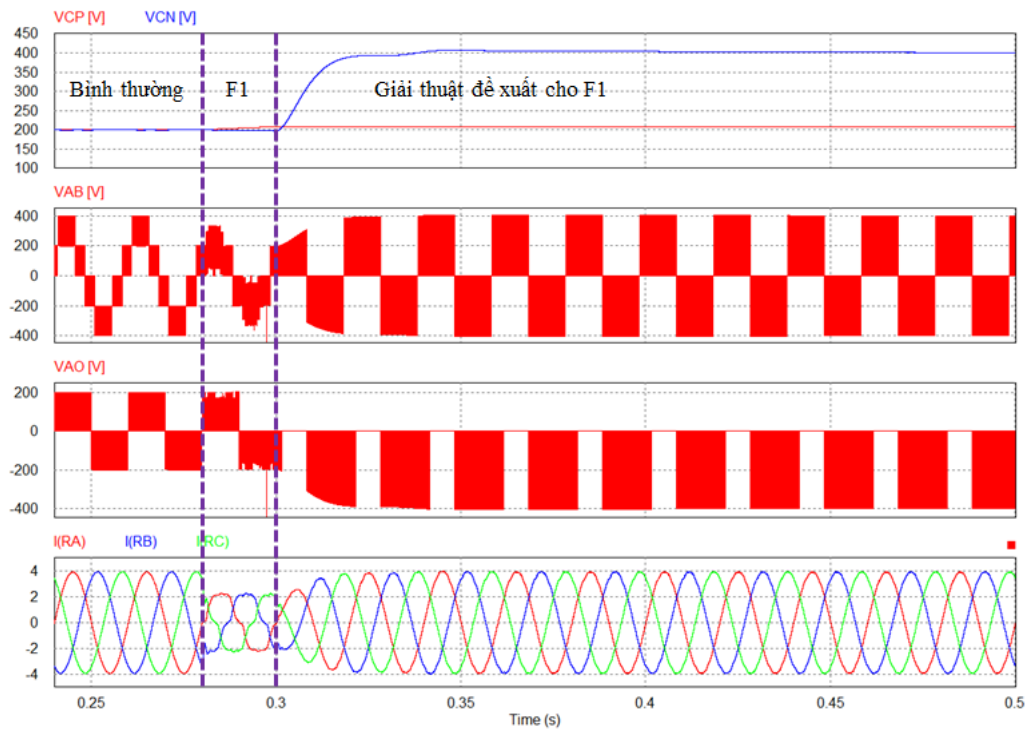
Dựa vào biểu thức (4.17), có thể kết luận rằng giải thuật sử dụng chỉ số điều chế cao sẽ tạo ra ít điện áp rơi trên diode và các khóa bán dẫn. Trong các nghiên cứu này, phương pháp đề xuất và cấu hình nghịch lưu 2 tầng truyền thông thể hiện ưu điểm trong việc tạo ra điện áp đặt trên các linh kiện bán dẫn ít nhất vì có chỉ số điều chế cao hơn các nghiên cứu còn lại. Đặc biệt, đối với lỗi hở mạch xảy ra tại  $S_{1A}$ , phương pháp đề xuất có thể giảm điện áp đặt trên các khóa  $S_{1X}/S_{4X}$  xuống bằng  $\frac{1}{2}$  so với cấu hình 2 tầng truyền thông, được thể hiện như hình 4.8(d).

### 4.3 Mô phỏng và thực nghiệm với giải thuật đề xuất

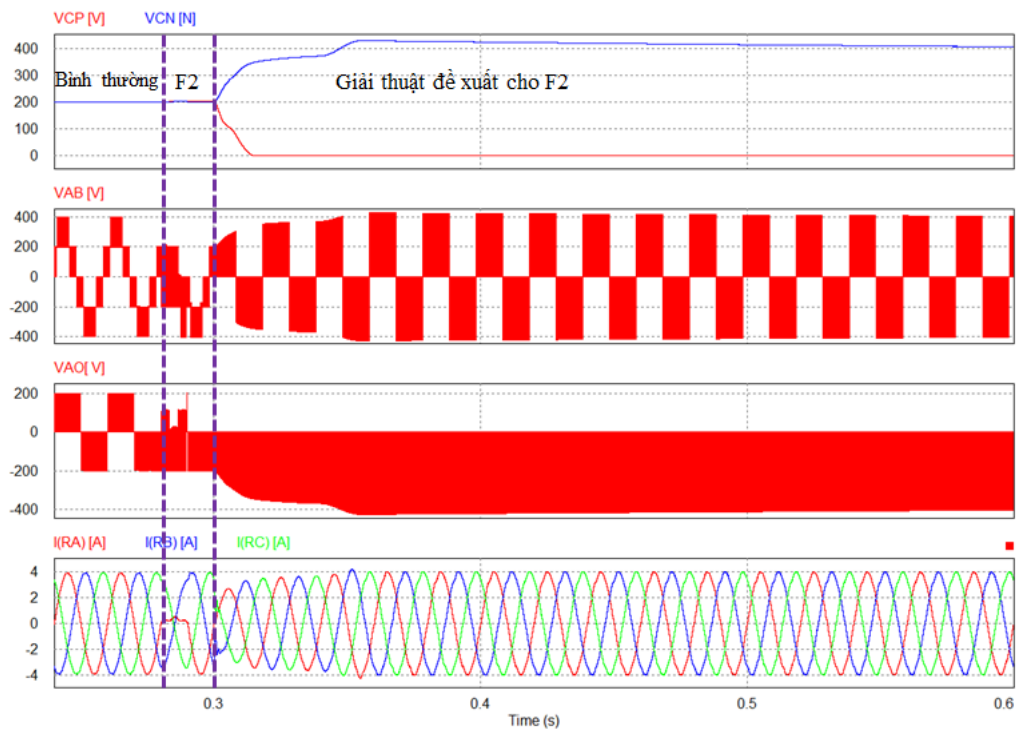
#### 4.3.1 Kết quả mô phỏng

Bảng 4.2 Thông số mô phỏng và thực nghiệm

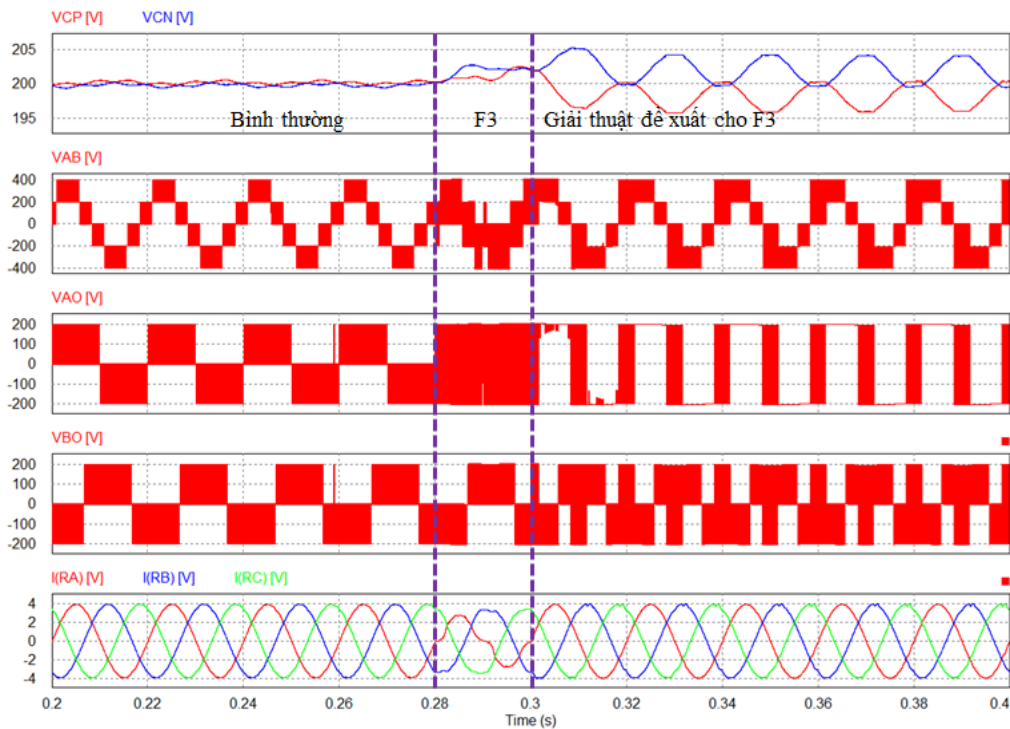
Thông số		Giá trị
Điện áp ngõ vào	$V_{dc}$	200 V
Điện áp ngõ ra	$V_{x,RMS}$	110 V <sub>RMS</sub>
Tần số ngõ ra	$f_0$	50 Hz
Tần số chuyển mạch	$f_s$	10 kHz
Cuộn dây tăng áp	$L_B$	3 mH/20 A
Tụ điện	$C_P$ and $C_N$	1 mF/400 V
Mạch lọc	$L_f$ and $C_f$	3 mH and 10 $\mu$ F
Tải	$R_X$	40 $\Omega$



Hình 4.9. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa  $S_P$ .



Hình 4.10. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa  $S_{IA}$ .



Hình 4.11. Kết quả mô phỏng cho phương pháp xử lý sự cố hở mạch tại khóa  $S_{2A}$  &  $S_{3A}$ .

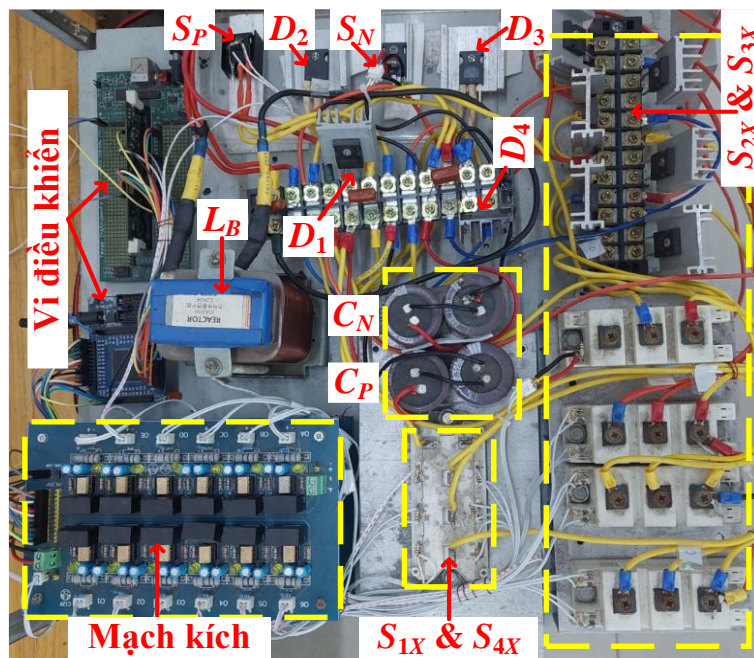
Kết quả mô phỏng được thực hiện với sự hỗ trợ của phần mềm PSIM được trình bày nhằm kiểm chứng hoạt động của giải thuật xử lý sự cố hở mạch khóa công suất đề xuất. Thông số hoạt động của mạch được liệt kê trong bảng 4.2. Trong phần này, lỗi hở mạch được tạo ra bằng cách kích ngắt khóa bị sự cố. Giải thuật xử lý sự cố tương ứng được kích hoạt vào chu kỳ kế tiếp của điện áp ngõ ra tính từ khi sự cố bắt đầu xuất hiện. Kết quả mô phỏng cho giải thuật đề xuất được trình bày như hình 4.9 – 4.11.

Trong trạng thái hoạt động bình thường, điện áp trên hai tụ điện  $C_P$  và  $C_N$  được tăng cường đến giá trị 200-V từ điện áp 200-V phía ngõ vào. Điện áp cực  $V_{AO}$  có 3 bậc điện áp +200-V, 0-V, và -200-V.

Đối với sự cố hở mạch xảy ra tại khóa  $S_P$  (F1), và sự cố hở mạch xảy ra tại khóa  $S_{1A}$  (F2), mạch nghịch lưu tạo ra hai bậc điện áp tại ngõ ra là 0-V và  $-V_{CN}$  như trình bày ở hình 4.9 và 4.10. Điện áp trên tụ điện  $C_N$  được tăng cường lên gấp đôi (400-V) so với trạng thái bình thường để khôi phục biên độ dòng điện tải, như trình bày ở hình 4.9 và 4.10. Khác với lỗi F1, và lỗi F2, lỗi hở mạch xảy ra tại khóa  $S_{2A}$  và  $S_{3A}$  không làm thay

đổi giá trị điện áp trung bình trên hai tụ điện, như biểu diễn ở hình 4.11. Pha xảy ra sự cố (pha A) khi này được điều khiển hoạt động với 2 bậc điện áp ngõ ra là +200-V, và -200-V. Hai pha không xảy ra sự cố (pha B và pha C) tiếp tục hoạt động với 3 bậc điện áp ngõ ra. Do đó, điện áp dây ngõ ra có 5 bậc điện áp  $\pm 400$ -V,  $\pm 200$ -V, và 0-V như biểu diễn ở hình 4.11. Biên độ dòng điện tại được duy trì bằng với trạng thái bình thường.

### 4.3.2 Kết quả thực nghiệm



Hình 4.12. Mô hình thực nghiệm.

Một mô hình thực nghiệm 1-kW được xây dựng tại phòng thí nghiệm để kiểm chứng tính đúng đắn của giải thuật đề xuất, được mô tả như hình 4.12. Mạch 3L-T<sup>2</sup>I được xây dựng dựa trên module 6 IGBT SKMGD123D, module SKM75GB12T4 và diode DSEI60-12A. Mạng nguồn kháng TLB được xây dựng dựa trên MOSFET 60R060P7 và diode VS-60APF12-M3. Thông số của hệ thống được liệt kê trong bảng 4.2. Lưu ý rằng, thực nghiệm chỉ tiến hành kiểm chứng 3 phương pháp sửa lỗi chính của cấu hình TLB-T<sup>2</sup>I, đó là phương pháp sửa lỗi hỏng mạch cho 1)  $S_P$ , 2)  $S_{1A}$ , và 3)  $S_{2A}$

và  $S_{3A}$ . Phương pháp chuẩn đoán lỗi hở mạch đã được hoàn thiện trong các nghiên cứu trước đó [49], [50]. Đặc biệt, điện áp trên các khóa có thể được hồi tiếp về mạch điều khiển để xác định sự cố tại linh kiện tương ứng một cách nhanh chóng [50]. Do đó, nghiên cứu này chỉ tập trung vào phương pháp sửa lỗi mà không tiến hành chuẩn đoán lỗi. Tương tự như [60], [61] lỗi hở mạch được giả lập bằng cách kích ngắt tín hiệu điều khiển tương ứng. Tất cả các lỗi hở mạch được giả sử xuất hiện tại góc pha bằng 0 của pha A và giải thuật xử lý lỗi hở mạch tương ứng sẽ được kích hoạt tại điểm bắt đầu của chu kỳ tiếp theo.

Bảng 4.3. Điện áp trên tụ điện và THD điện áp dây ngõ ra

	Trạng thái bình thường	F1	F2	F3
Điện áp tụ $C_P$	200 V	200 V	0 V	200 V
Điện áp tụ $C_N$	200 V	400 V	400 V	200 V
THD của $V_{AB}$	49.4 %	96.3 %	99.8 %	66.7 %

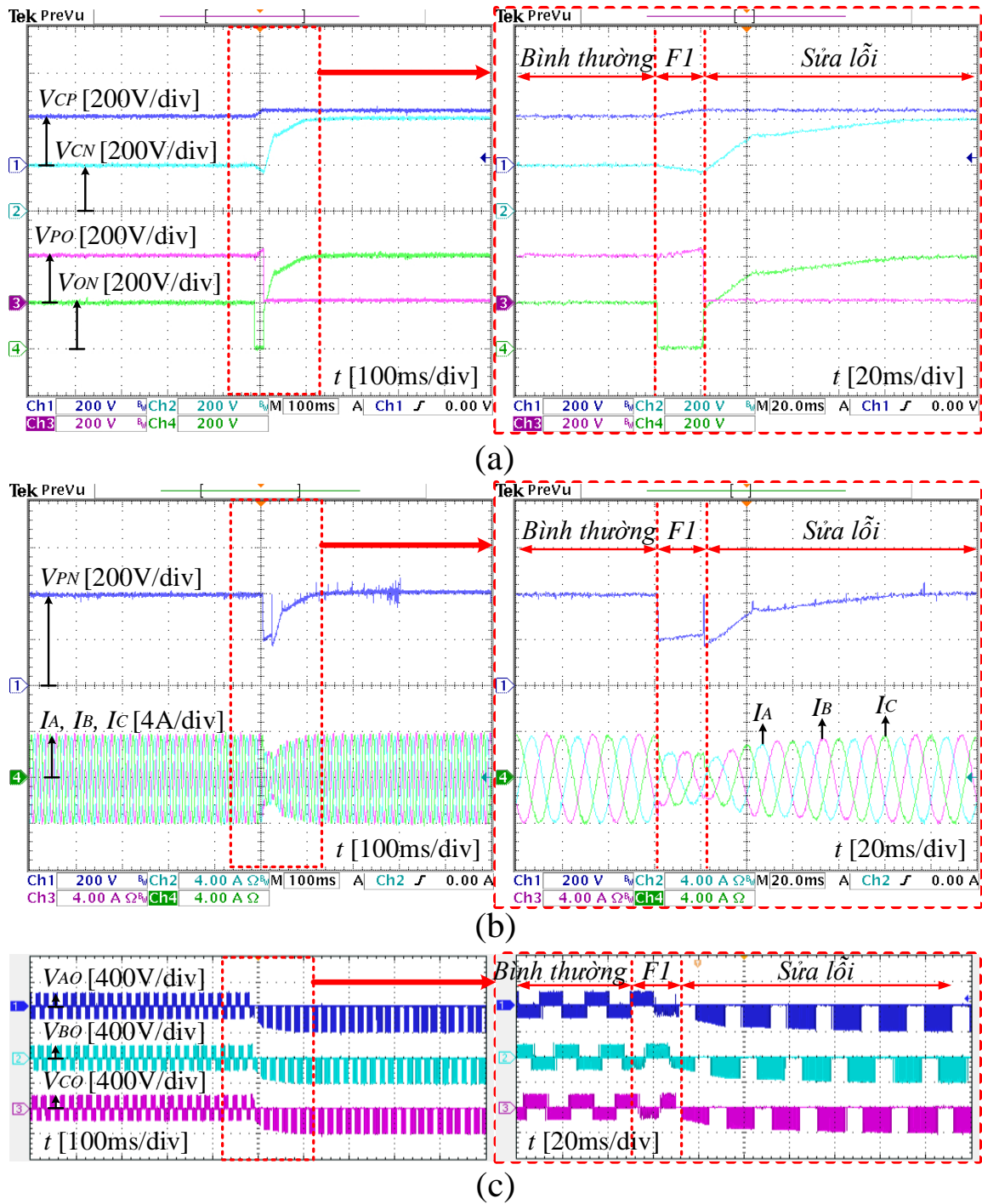
Phương pháp đề xuất được kiểm chứng với điện áp ngõ vào 200-V. Trong trạng thái bình thường, hai tụ điện  $C_P$  và  $C_N$  được tăng cường đến điện áp 200-V, được biểu diễn như hình 4.13 – 4.15 và bảng 4.3. Điện áp trên hai tụ cân bằng. Kết quả là, điện áp DC-link,  $V_{PN}$ , đạt được 400-V. Giá trị hiệu dụng của dòng điện trên tải là  $2.66 A_{RMS}$ . Dòng điện trên tải có dạng sine với sự hỗ trợ của mạch lọc thông thấp LC. Điện áp cực ngõ ra  $V_{XO}$  có ba giá trị: +200-V, 0-V, và -200-V. Phổ FFT của điện áp dây ngõ ra được biểu diễn như hình 4.16. Giá trị THD của điện áp dây cũng được thống kê như bảng 4.3.

#### 4.3.2.1 Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa $S_P$

Kết quả thực nghiệm khi xảy ra sự cố hở mạch tại khóa  $S_P$  được biểu diễn như hình 4.13. Trong khi xảy ra lỗi hở mạch tại  $S_P$ , hai cực công suất drain-source của  $S_P$  bị hở mạch, trong khi khóa  $S_N$  hoạt động bình thường. Điều này làm cho điện áp trên tụ  $C_P$  tăng nhẹ trong khi điện áp trên tụ  $C_N$  giảm nhẹ, như được mô tả trong hình 4.13(a).



Điện áp cực ngõ ra và dòng điện tải bị méo dạng nghiêm trọng, như biểu diễn trong hình 4.13(b) và 4.13(c).



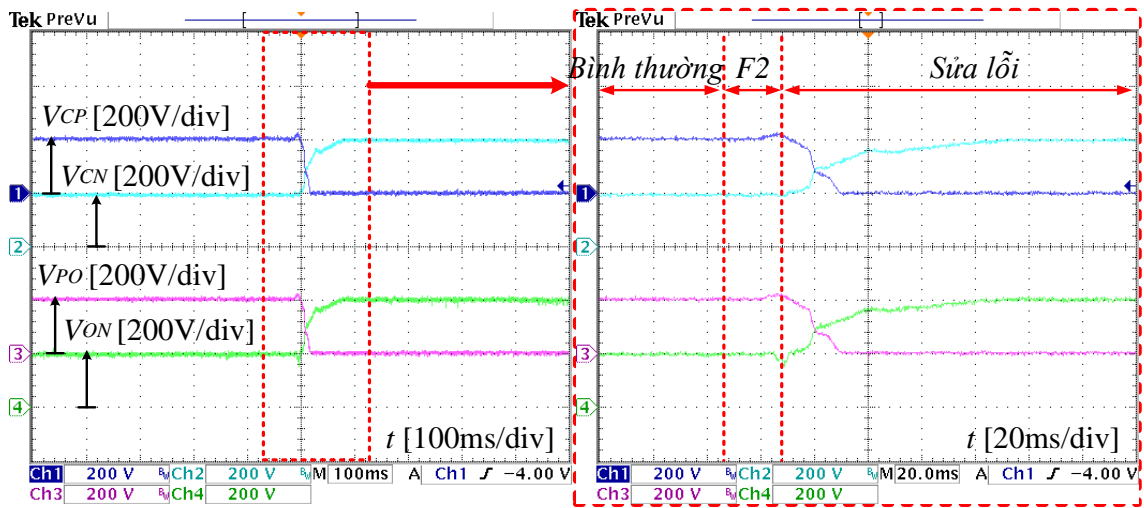
Hình 4.13. Kết quả thí nghiệm cho giải thuật sửa lỗi hồ mạch  $S_P$ .

Khi áp dụng giải thuật xử lý lỗi hở mạch cho khóa  $S_P$ , trạng thái UST phía nghịch lưu được kích hoạt. Điều này dẫn đến việc ngắt kết nối tụ điện  $C_P$  khỏi mạch công suất. Do đó, điện áp trên tụ  $C_P$  được duy trì là hằng số khi áp dụng giải thuật đề xuất, như biểu diễn ở hình 4.13(a). Trong khoảng thời gian này, điện áp DC-link bằng điện áp trên tụ  $C_N$ . Với 400-V tại  $V_{CN}$ , điện áp DC-link trong trạng thái lỗi có giá trị bằng với chính nó trong trạng thái bình thường. Điều này giúp đảm bảo biên độ dòng điện ngõ ra, như biểu diễn trong hình 4.13(b). Điện áp cực  $V_{XO}$  có hai giá trị là 0-V và -400-V. Vì phương pháp đề xuất không sử dụng vector [NNN] nên điện áp cực ngõ ra của mỗi pha được kết nối liên tục với điểm giữa của DC-link [O] trong mỗi 1/3 chu kỳ điện áp ngõ ra. Phổ FFT của  $V_{AB}$  cho giải thuật đề xuất đối với lỗi  $S_P$  được biểu diễn như hình 4.16(b). Giá trị THD của  $V_{AB}$  trong trường hợp này là 96.3% cao hơn so với trạng thái bình thường (49.4%), như được trình bày trong bảng 4.3. Nguyên nhân chính dẫn đến sự gia tăng THD là do mạch nghịch lưu khi này hoạt động ở chế độ 2 bậc điện áp ngõ ra thay vì 3 bậc điện áp ngõ ra như trạng thái bình thường.

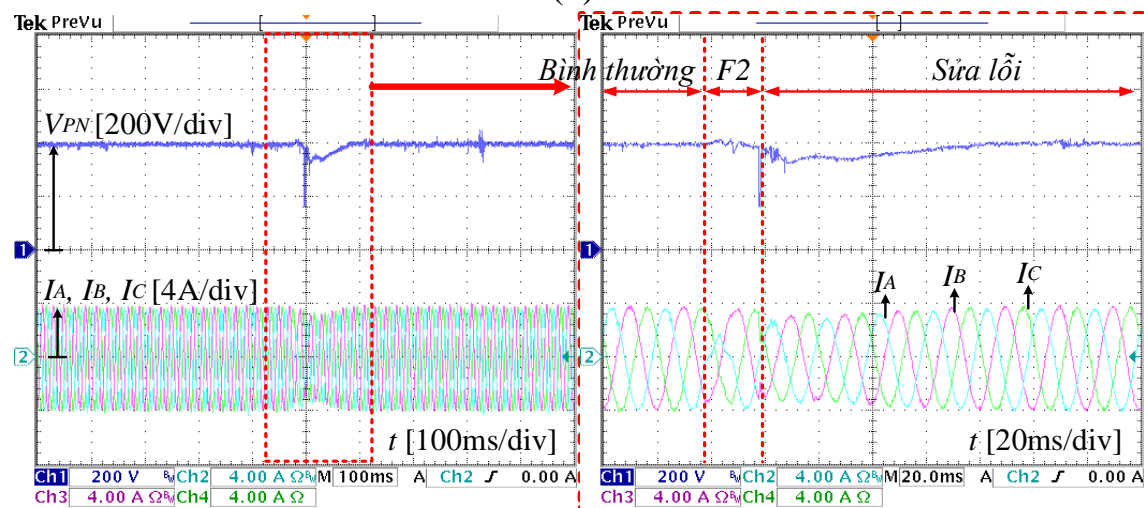
#### 4.3.2.2 Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa $S_{1A}$

Hình 4.14 trình bày kết quả thí nghiệm cho phương pháp sửa lỗi hở mạch cho khóa  $S_{1A}$ . Khi lỗi hở mạch xảy ra, điện áp cực  $V_{AO}$  không thể đạt được điện áp +200V tại ngõ ra, như biểu diễn trong hình 4.14(c). Điều này dẫn đến sự méo dạng sóng hài trên dòng điện ngõ ra, như trình bày trong hình 4.14(b).

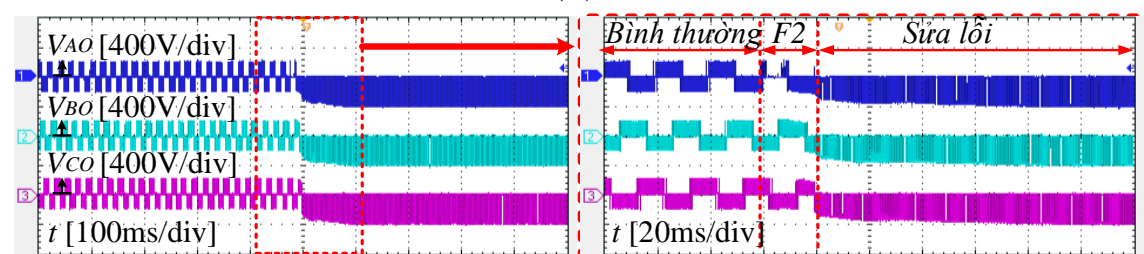
Khi sử dụng giải thuật đề xuất, điện áp trên tụ  $C_P$  giảm từ 200 V xuống 0 V với sự hỗ trợ của hai khóa bán dẫn  $S_{1B}$  và  $S_{1C}$ . Điện áp trên tụ  $C_N$  được tăng cường đến 400 V. Trong trạng thái xác lập, điện áp DC-link bằng điện áp trên tụ  $C_N$  vì điện áp trên tụ  $C_P$  bằng 0V. Điện áp DC-link và dòng điện trên tải bằng với chúng trong trạng thái bình thường. Phổ FFT của điện áp  $V_{AB}$  được biểu diễn như hình 4.16(c). Giá trị THD của  $V_{AB}$  là 99.8% lớn hơn so với trạng thái bình thường.



(a)



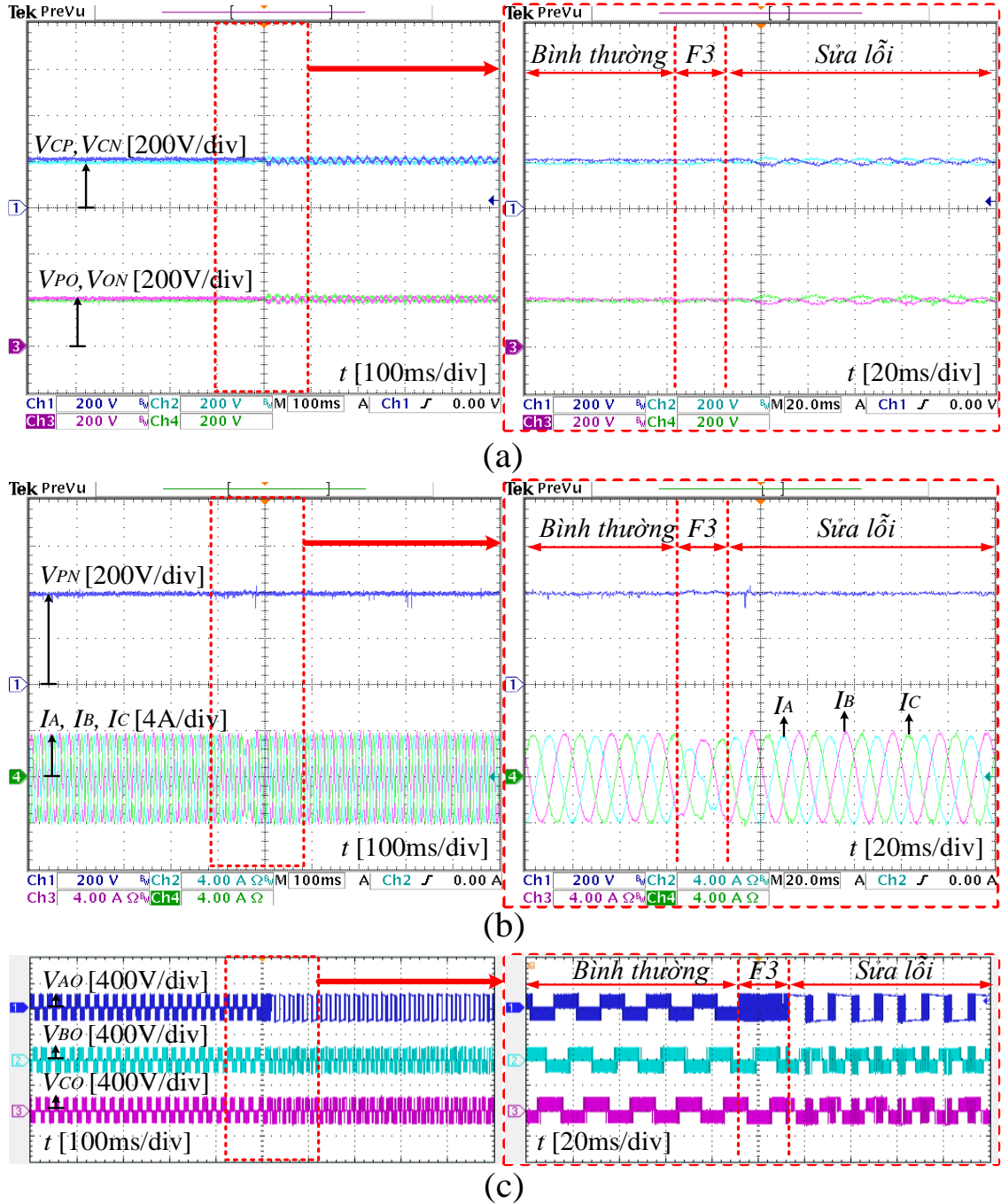
(b)



(c)

Hình 4.14. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch  $S_{1A}$ .

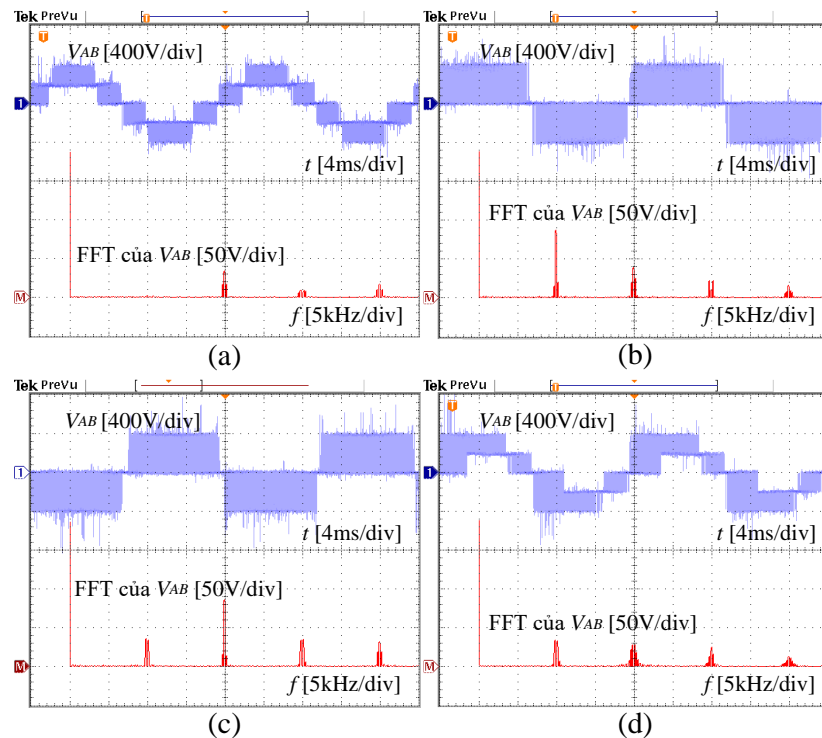
### 4.3.2.3 Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa $S_{2A}$ và $S_{3A}$



Hình 4.15. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch  $S_{2A}$  và  $S_{3A}$ .

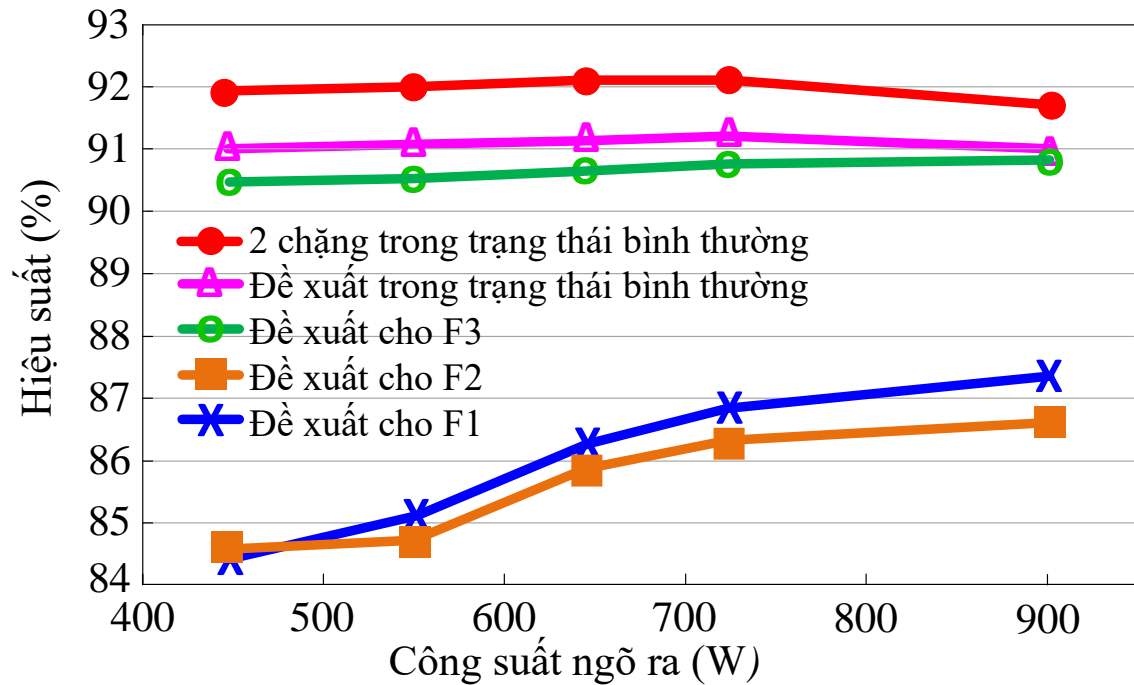
Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch cho khóa bán dẫn hai chiều  $S_{2A}$  và  $S_{3A}$  được trình bày như hình 4.15. So sánh với lỗi hở mạch tại khóa  $S_P$  và khóa  $S_{1A}$ ,

lỗi hở mạch tại  $S_{2A}$  và  $S_{3A}$  tạo ra ít độ méo dạng sóng hài trên dòng điện ngõ ra hơn. Phương pháp đề xuất sử dụng phương pháp SVM cải tiến để khắc phục sự cố này. Như được đề cập trước đó, pha A hoạt động ở chế độ hai bậc trong khi hai pha còn lại duy trì hoạt động ba bậc. Trong hầu hết thời gian của một chu kỳ, pha A được nối với điểm [P] hoặc [N] của điện áp DC-link. Biên độ của điện áp DC-link và dòng điện ngõ ra được duy trì như trong trạng thái bình thường. Phương pháp này tạo ra một ít sự dao động trên điện áp tụ điện. Tuy nhiên, sự dao động này không làm ảnh hưởng đến chất lượng dòng điện ngõ ra một cách đáng kể. Phổ FFT của điện áp dây  $V_{AB}$  được biểu diễn như hình 4.16(d). THD của  $V_{AB}$  trong trường hợp này là 66.7%. So sánh với giải thuật sửa lỗi cho khóa  $S_P$  và  $S_{1A}$ , giải thuật sửa lỗi cho khóa hai chiều có giá trị THD tốt hơn. Ưu điểm này có được là do giải thuật cho khóa hai chiều duy trì được hoạt động 3 bậc của bộ nghịch lưu nhờ các vector trùng lặp trong 2/3 chu kỳ điện áp ngõ ra.



Hình 4.16. Phổ FFT của  $V_{AB}$ . (a) trạng thái bình thường và khi sử dụng phương pháp đề xuất cho lỗi hở mạch tại (b)  $S_P$ , (c)  $S_{1A}$ , (d)  $S_{2A}$  và  $S_{3A}$ .

#### 4.3.2.4 Hiệu suất của mạch nghịch lưu



Hình 4.17. Hiệu suất của mạch nghịch lưu.

Hiệu suất của mạch nghịch lưu trong chế độ hoạt động bình thường và trong chế độ sự cố khóa công suất được thống kê như hình 4.17. Hiệu suất của mạch nghịch lưu hai tầng truyền thống được biểu diễn ở hình 1.4 ở trạng thái bình thường cũng được khảo sát trong phần này. Vì sử dụng thêm hai diode  $D_2$  và  $D_3$  để đảm bảo hoạt động trong trạng thái lỗi, nên cấu hình TLB-T<sup>2</sup>I có hiệu suất thấp hơn cấu hình hai tầng truyền thống. Đối với phương pháp sửa lỗi cho khóa  $S_P$  và  $S_{1A}$ , điện áp trên tụ tăng lên và chế độ hoạt động thay đổi làm gia tăng tổn hao chuyển mạch cũng như tổn hao dẫn của mạch nghịch lưu. Ví dụ, khi mạch nghịch lưu chuyển từ hoạt động bình thường sang trạng thái lỗi  $S_P$ , giải thuật đề xuất tăng cường hệ số công tác của khóa  $S_P$ . Từ đó làm gia tăng tổn hao dẫn của khóa này. Ngoài ra, việc sử dụng thêm trạng thái UST đối với lỗi  $S_P$  cũng là một trong những nguyên nhân làm tăng tổn hao dẫn. Các lập luận trên giải thích nguyên nhân suy giảm hiệu suất đối với lỗi tại khóa  $S_P$  và  $S_{1A}$  so với hoạt động bình thường và lỗi tại khóa hai chiều  $S_{2A}$  và  $S_{3A}$ .

#### 4.4 Kết luận chương 4

Trong chương này, giải thuật xử lý các lỗi hở mạch và ngắn mạch tại các linh kiện bán dẫn và tại các tụ điện của mạch TLB-T<sup>2</sup>I đã được đề xuất với ưu điểm làm giảm điện áp đặt trên các linh kiện của mạch nghịch lưu. Cụ thể, giải thuật xử lý sự cố tại khóa bán dẫn phía trên/dưới của mạch 3L-T<sup>2</sup>I làm giảm 50% điện áp DC-link so với giải thuật truyền thống. Kết quả là điện áp đặt trên các linh kiện bán dẫn cũng được cải thiện 50% so với giải thuật truyền thống. Ưu điểm này có được là do giải thuật đề xuất chỉ sử dụng duy nhất 1 tụ điện để phục hồi dòng điện tải ngõ ra khi có sự cố thay vì sử dụng hai tụ điện như giải thuật truyền thống. Tuy nhiên, so với trạng thái hoạt động bình thường, định mức linh kiện trong trạng thái lỗi tăng gấp đôi. Đây cũng là một nhược điểm còn tồn tại của giải thuật xử lý sự cố đề xuất cũng như truyền thống.

Ngoài việc xử lý một lỗi hở mạch/ngắn mạch xảy ra tại 1 khóa bán dẫn, giải thuật đề xuất còn có khả năng xử lý sự cố xảy ra tại nhiều khóa cùng một lúc từ đó tăng độ tin cậy và tính ổn định của hệ thống. Ví dụ, giải thuật có khả năng xử lý cùng lúc sự cố tại 3 khóa bán dẫn phía trên/dưới của mạch hình T.

Do đó, cấu hình nghịch lưu TLB-T<sup>2</sup>I với giải thuật xử lý sự cố hở mạch đề xuất thích hợp sử dụng cho các hệ thống yêu cầu tính ổn định cao như các hệ thống y tế, giao thông, tài chính, ngân hàng, v.v...

## **Chương 5**

# **KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN**

### **5.1 Kết luận**

Từ các kết quả đã đạt được của luận án, một số kết luận như sau được rút ra:

- Luận án đã trình bày được tính cấp thiết của việc sử dụng các bộ nghịch lưu đối với sự phát triển của xu hướng năng lượng hiện tại và tương lai.
- Luận án đã trình bày được ưu nhược điểm của các bộ nghịch lưu một tầng và giải thuật điều khiển trong trường hợp bình thường và sự cố xảy ra tại các khóa công suất đã công bố.
- Giải thuật điều chế vector không gian được trình bày cụ thể trong luận án nhằm tăng cường độ lợi điện áp và cân bằng điện áp trên các tụ điện (chương 2).
- Giải thuật điều chế vector không gian cải tiến được trình bày cụ thể trong luận án nhằm làm giảm biên độ hiệu dụng cũng như biên độ đỉnh-đỉnh của điện áp common-mode (chương 3).
- Giải thuật điều chế vector không gian cho trường hợp sự cố hở mạch và ngắn mạch xảy ra tại các khóa công suất và các tụ điện cũng được trình bày cụ thể trong luận án (chương 4).

Với các giải thuật đã trình bày, mạch nghịch lưu có thể cải thiện được hiệu suất, điện áp đặt trên các linh kiện, và kích thước hệ thống. Những ưu điểm này đã được kiểm chứng thông qua so sánh, mô phỏng và thực nghiệm trên mô hình thực tế.

### **5.2 Hạn chế và hướng phát triển của luận án**

Bên cạnh các ưu điểm nêu trên, luận án vẫn còn tồn tại một số hạn chế như:

- Mô hình thực nghiệm được xây dựng để kiểm chứng giải thuật đề xuất, do đó, chưa được thiết kế tối ưu. Vì lý do an toàn, công suất thực nghiệm chỉ đạt khoảng 1-kW. Việc nâng cao công suất thực nghiệm không được xem xét trong luận án



này.

- Do các hạn chế về kinh phí nghiên cứu, các linh kiện bán dẫn hiện đại như silicon carbide (SiC) hoặc gallium nitride (GaN) chưa được đầu tư. Do đó, hiệu suất của toàn hệ thống nhìn chung còn thấp so với các sản phẩm thương mại hiện có trên thị trường. Ngoài ra, giải thuật được thực nghiệm trên tải thuần trở cũng là một trong những hạn chế của luận án.

Từ những hạn chế được liệt kê như trên, hướng phát triển trong tương lai của luận án có thể được liệt kê như sau:

- Mạch PCB với các linh kiện được lựa chọn tối ưu nhằm hướng tới sản phẩm thương mại sẽ được đầu tư phát triển trong tương lai.
- Các giải thuật được đề xuất sẽ được xem xét kiểm chứng với ứng dụng năng lượng mặt trời hòa lưới trong tương lai.

# DANH MỤC CÁC BÀI BÁO ĐÃ CÔNG BỐ TRONG QUÁ TRÌNH ĐÀO TẠO NGHIÊN CỨU SINH

1. Các công bố trên danh mục tạp chí SCI, SCIE, SSCI, AHCI:

TT	Tên công trình	Tác giả chính/ Đồng tác giả	Năm công bố	Tên tạp chí
1	A New Topology of Single-Phase Common Ground Buck-Boost Inverter with Component Voltage Rating Reduction	Tác giả chính	2023	IEEE Access ( <b>Q2</b> )
2	A Novel Three-Level Quasi-Switched Boost F-Type Inverter With High Voltage Gain and Self-Balanced Neutral-Point Voltage	Tác giả liên hệ	2023	IEEE Access ( <b>Q2</b> )
3	Fault Tolerant Control Methods for Three-Level Boost T-Type Inverter	Đồng tác giả	2022	IEEE Transactions on Industrial Electronics ( <b>Q1</b> )
4	Space Vector Modulation Method-Based Common Mode Voltage Reduction for Active Impedance-	Tác giả chính	2022	IEEE Access ( <b>Q2</b> )

	Source T-Type Inverter			
5	An DPWM for Active DC-Link Type Quasi-Z-Source Inverter to Reduce Component Voltage Rating	Đồng tác giả	2022	Energies (Q3)
6	An SVM Scheme for Three-Level Quasi-Switched Boost T-Type Inverter With Enhanced Voltage Gain and Capacitor Voltage Balance	Tác giả chính	2021	IEEE Transactions on Power Electronics (Q1)
7	A Single-Stage Boost-Derived T-Type Inverter with Self-Balanced Capacitor Voltage	Đồng tác giả	2021	IEEE Journal of Emerging and Selected Topics in Industrial Electronics
8	Enhanced boost factor for three-level quasi-switched boost T-type inverter	Đồng tác giả	2021	Energies (Q2)

2. Các công bố khác (bài báo quốc tế, trong nước, báo cáo đăng ký yếu...):

TT	Tên công trình	Năm công bố	Tên hội nghị

1	A Single-Phase Switched-Capacitor Five-Level Boost Inverter with Boost Factor Improvement	2023	2023 IEEE Applied Power Electronics Conference and Exposition (APEC)
2	Open-Circuit Fault-Tolerant Method for Three-Level Quasi-Switched Boost T-Type Inverter	2022	2022 IEEE Energy Conversion Congress and Exposition (ECCE)
3	Single-Phase Five-Level Quasi-Switched Boost T-Type Inverter	2021	2021 IEEE Transportation Electrification Conference & Expo (ITEC)

## TÀI LIỆU THAM KHẢO

- [1] O. Husev et al., "Comparison of Impedance-Source Networks for Two and Multilevel Buck–Boost Inverter Applications," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7564-7579, Nov. 2016.
- [2] H. Komurcugil and S. Bayhan, "Super-Twisting Sliding Mode Control for Grid-Tied T-Type qZSI with Reduced Capacitor Voltage," in *Proc. IEEE Int. Symposium Ind. Electronics (ISIE)*, 2020, pp. 790-795.
- [3] X. Xing, A. Chen, W. Wang, C. Zhang, Y. Li, and C. Du, "Space-vector-modulated for Z-source three-level T-type converter with neutral voltage balancing," in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015, pp. 833-840.
- [4] Y. Liu, B. Ge, X. Li, and Y. Xue, "Common Mode Voltage Reduction of Single-Phase Quasi-Z-Source Inverter-Based Photovoltaic System," *IEEE Access*, vol. 7, pp. 154572-154580, 2019.
- [5] O. Husev, E. Makovenko, D. Vinnikov, T. Jalakas, C. RonceroClemente; E. Romero-Cadaval, J.F. Martins, V. Delgado-Gomes, V. F. Pires, "Single-phase qZS-based PV inverter with integrated battery storage for distributed energy generation." in *Proc. IEEE Int. Conf. Compatibility, Power Electron. and Power Eng. (CPE-POWERENG)*, 2018, pp. 1–6.
- [6] M. Pina and V. F. Pires, "Grid-Connected PV System Using a T-Type qZS Inverter with an Integral Time Derivative Approach to Ensure MPP and Decoupled Current Control," in *Proc. Int. Young Engineers Forum (YEF-ECE)*, 2020, pp. 38-43.

- [7] M. Aly, N. Mayorga, and A. M Llor, "A Simplified SVMWM Method for Neutral Point Voltage Control and Common Mode Voltage Reduction in Three-Level qZS T-type PV Inverters," in *Proc. IEEE Int. Conference on Industrial Technology (ICIT)*, 2020, pp. 1015-1020.
- [8] P. C. Loh, F. Gao, F. Blaabjerg, and S. W. Lim, "Operational Analysis and Modulation Control of Three-Level Z-Source Inverters With Enhanced Output Waveform Quality," *IEEE Trans. Power Electron.*, vol. 24, no. 7, pp. 1767-1775, July 2009.
- [9] P. C. Loh, F. Gao, F. Blaabjerg, S. Y. C. Feng, and K. N. J. Soon, "Pulsewidth-Modulated Z-Source Neutral-Point-Clamped Inverter", *IEEE Trans. Ind. Appl.*, vol. 43, no. 5, pp. 1295-1308, Sep./Oct. 2007.
- [10] P. C. Loh, F. Gao, and F. Blaabjerg, "Topological and Modulation Design of Three-Level Z-Source Inverters," *IEEE Trans. Power Electron.*, vol. 23, no. 5, pp. 2268-2277, Sept. 2008.
- [11] J. Zhang and R. J. Wai, "Design of New SVPWM Mechanism for Three-Level NPC ZSI via Line-Voltage Coordinate System", *IEEE Trans. Power Electron.*, vol. 35, no. 8, pp. 8593-8606, Aug. 2020.
- [12] F. B. Effah, P. Wheeler, J. Clare, and A. Watson, "Space-Vector-Modulated Three-Level Inverters With a Single Z-Source Network", *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2806-2815, Jun. 2013.
- [13] X. Xing, C. Zhang, A. Chen, J. He, W. Wang, and C. Du, "Space-Vector-Modulated Method for Boosting and Neutral Voltage Balancing in Z-Source Three-Level T-Type Inverter", *IEEE Trans. Ind. Appl.*, vol. 52, no. 2, pp. 1621-1631, Mar./Apr. 2016.

- [14] A. T. Huynh, A. V. Ho, and T. W. Chun, “Three-Phase Embedded Modified-Z-Source Three-Level T-Type Inverters”, *IEEE Access*, vol. 8, pp. 130740 - 130750, 2020.
- [15] C. Qin, C. Zhang, X. Xing, X. Li, A. Chen, G. Zhang, “Simultaneous Common-Mode Voltage Reduction and Neutral-Point Voltage Balance Scheme for the Quasi-Z-Source Three-Level T-Type Inverter”, *IEEE Trans. Ind. Electron.*, vol. 67, no. 3, pp. 1956-1967, Mar. 2020.
- [16] C. Qin, C. Zhang, A. Chen, X. Xing, and G. Zhang, “A Space Vector Modulation Scheme of the Quasi-Z-Source Three-Level T-Type Inverter for Common-Mode Voltage Reduction”, *IEEE Trans. Ind. Electron.*, vol. 65, no. 10, pp. 8340-8350, Oct. 2018.
- [17] T. Wang, X. Wang, Y. He, X. Chen, X. Ruan, and Z. Zhang, “An Improved Quasi-Z-Source Three-Level T-Type Inverter and Its Modulation Scheme,” in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2020, pp. 412-416.
- [18] M. K. Nguyen, T. V. Le, S. J. Park, and Y. C. Lim, “A Class of Quasi-Switched Boost Inverters”, *IEEE Trans. Ind. Electron.*, vol. 62, no. 3, pp. 1526-1536, Mar. 2015.
- [19] M. Sahoo, S. Keerthipati, “A Three-Level LC-Switching-Based Voltage Boost NPC Inverter”, *IEEE Trans. Ind. Electron.*, vol. 64, no. 4, pp. 2876-2883, Apr. 2017.
- [20] D. T. Do and M. K. Nguyen, “Three-level quasi-switched boost T-type inverter: analysis, PWM control, and verification”, *IEEE Trans. Ind. Electron.*, vol. 65, no. 10, pp. 8320 – 8329, Oct. 2018.

- [21] V. T. Tran, D. T. Do, M. K. Nguyen, D. T. Nguyen, "Space vector modulation scheme for three-level T-type quasi-switched boost inverter to reduce common mode voltage," *in proc. Int. Conf. Power Electronics - ECCE Asia (ICPE 2019 - ECCE Asia)*, 2019, Busan, South Korea.
- [22] M. K. Nguyen, T. T. Tran, and F. Zare, "An active impedance-source three-level T-type inverter with reduced device count," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 8, no. 3, pp. 2966 - 2976, 2020.
- [23] K. Wolski, M. Zdanowski, and Jacek Rabkowski, "High-frequency SiC-based inverters with input stages based on quasi-Z-source and boost topologies—experimental comparison," *IEEE Trans. Power Electron.*, vol. 34, no.10, pp. 9471–9478, Oct. 2019.
- [24] S. Stepenko, O. Husev, D. Vinnikov, C. Roncero-Clemente, S. Pires Pimentel, and E. Santasheva, "Experimental comparison of two-level full-SiC and three-level Si–SiC quasi-Z-source inverters for PV applications" *Energies*, vol. 12, no. 13: 2509, 2019.
- [25] O. Husev, D. Vinnikov, C. Roncero-Clemente, A. Chub and E. Romero-Cadaval, "Single-phase string solar qZS-based inverter: example of multi-objective optimization design," *IEEE Trans. Ind. Appl.*, 2020, in press, doi: 10.1109/TIA.2020.3034292.
- [26] S. Busquets-Monge, J. Bordonau, D. Boroyevich, and S. Somavilla, "The nearest three virtual space vector PWM-A modulation for the comprehensive neutral-point balancing in the three-level NPC inverter," *IEEE Power Electron. Lett.*, vol. 2, no. 1, pp. 11–15, Mar. 2004.
- [27] S. Busquets-Monge, J. Bordonau, D. Boroyevich, and S. Somavilla, "Capacitor voltage balance for the neutral-point-clamped converter using the virtual space



- vector concept with optimized spectral performance,” *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1128– 1134, Jul. 2007.
- [28] S. Busquets-Monge, J. D. Ortega, J. Bordonau, J. A. Beristain, and J. Rocabert, “Closed-Loop Control of a Three-Phase Neutral-Point-Clamped Inverter Using an Optimized Virtual-Vector-Based Pulsewidth Modulation,” *IEEE Trans. Power Electron.*, vol.55, no. 5, pp. 2061– 2071, May 2008.
- [29] S. Busquets-Monge, R. Maheshwari, and S. Munk-Nielsen, “Overmodulation of n-Level Three-Leg DC - AC Diode-Clamped Converters With Comprehensive Capacitor Voltage Balance,” *IEEE Trans. Ind. Electron.*, vol.60, no. 5, pp. 1872– 1883, May 2013.
- [30] V. T. Tran, M. K. Nguyen, D. T. Do, D. Vinnikov “An SVM Scheme for Three-Level Quasi-Switched Boost T-Type Inverter with Enhance Voltage Gain and Capacitor Voltage Balance”, *IEEE Trans. Power Electron.*, vol. 36, no. 10, pp. 11499 – 11508, Oct. 2021.
- [31] G. Ala, G. C. Giaconia, G. Giglia, M. C. Di Piazza, and G. Vitale, “Design and performance evaluation of a high power-density EMI filter for PWM inverter-fed induction-motor drives,” *IEEE Trans. Ind. Appl.*, vol. 52, no. 3, pp. 2397– 2404, May/Jun. 2016.
- [32] W. Li, Y. Wang, J. Hu, H. Yang, C. Li, and X. He, “Common-mode current suppression of transformerless nested five-level converter with zero common-mode vectors,” *IEEE Trans. Power Electron.*, vol. 34, no. 5, pp. 4249–4258, May 2019.
- [33] T. Liu, A. Chen, C. Qin, J. Chen, and X. Li, “Double vector model predictive control to reduce common-mode voltage without weighting factors for three-

- level inverters,” *IEEE Trans. Ind. Electron.*, vol. 67, no. 10, pp. 8980–8990, Oct. 2020.
- [34] J.-S. Lee and K.-B. Lee, “New modulation techniques for a leakage current reduction and a neutral-point voltage balance in transformerless photovoltaic systems using a three-level inverter,” *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 1720–1732, Apr. 2014.
- [35] D. T. Do, M. K. Nguyen, V. T. Ngo, T. H. Quach, and V. T. Tran, “Common mode voltage elimination for quasi-switch boost T-type inverter based on SVM technique,” *Electronics*, vol. 9, no. 76, pp. 1–16, 2020.
- [36] D. T. Do, V. T. Tran, and M. K. Nguyen, “Enhanced boost factor for three-level quasi-switched boost T-type inverter,” *Energies*, vol. 14, no. 13, pp. 3920–3937, Jun. 2021.
- [37] V. T. Tran, M. K. Nguyen, D. T. Do and Y. O. Choi, "Space Vector Modulation Method-Based Common Mode Voltage Reduction for Active Impedance-Source T-Type Inverter," *IEEE Access*, vol. 10, pp. 10149-10159, 2022.
- [38] Y. -J. Kim, S. -H. Kim, S. -M. Kim and K. -B. Lee, "Open Fault Diagnosis and Tolerance Control for Grid-Connected Hybrid Active Neutral-Point- Clamped Inverters With Optimized Carrier-Based Pulse Width Modulation," *IEEE Access*, vol. 8, pp. 145542-145551, 2020.
- [39] Y. Liang, R. Wang and B. Hu, "Single-Switch Open-Circuit Diagnosis Method Based on Average Voltage Vector for Three-Level T-Type Inverter," *IEEE Trans. Power Electron.*, vol. 36, no. 1, pp. 911-921, Jan. 2021.

- [40] M. R. A and K. Sivakumar, "A Fault-Tolerant Single-Phase Five-Level Inverter for Grid-Independent PV Systems," *IEEE Trans. Ind. Electron.*, vol. 62, no. 12, pp. 7569-7577, Dec. 2015.
- [41] K. -H. Chao, L. -Y. Chang and F. -Q. Xu, "Three-Level T-Type Inverter Fault Diagnosis and Tolerant Control Using Single-Phase Line Voltage," *IEEE Access*, vol. 8, pp. 44075-44086, 2020.
- [42] Y. Yu, X. Li and L. Wei, "Fault Tolerant Control of Five-Level Inverter Based on Redundancy Space Vector Optimization and Topology Reconfiguration," *IEEE Access*, vol. 8, pp. 194342-194350, 2020
- [43] S. Xu, J. Zhang, J. Hang, "Investigation of a fault-tolerant three-level T-type inverter system," *IEEE Trans. Ind. Appl.*, vol. 53, no. 5, pp. 4613 - 4623, 2017.
- [44] U. M. Choi, J. S. Lee, F. Blaabjerg, K. B. Lee, "Open-circuit fault diagnosis and fault-tolerant control for a grid-connected NPC inverter," *IEEE Trans. Power Electron.*, vol. 31, no. 10, pp. 7234-7247, Oct. 2016.
- [45] H. K. Jahan, F. Panahandeh, M. Abapour, S. Tohidi, "Reconfigurable multilevel inverter with fault-tolerant ability," *IEEE Trans. Power Electron.*, vol. 33, no. 9, pp. 7880 - 7893, Sept. 2018.
- [46] M. -K. Nguyen, T. -D. Duong, Y. -C. Lim, J. -H. Choi, D. M. Vilathgamuwa and G. R. Walker, "DC-Link Quasi-Switched Boost Inverter With Improved PWM Strategy and its Comparative Evaluation," *IEEE Access*, vol. 8, pp. 53857-53867, 2020.
- [47] Ajaykumar T., N. R. Patne, "Fault tolerant control of Z-source neutral point clamped inverter," in proc. *2018 15th IEEE India Council International Conference (INDICON)*, Dec. 2018.

- [48] M. -K. Nguyen, Y. -C. Lim and G. -B. Cho, "Switched-Inductor Quasi-Z-Source Inverter," *IEEE Transactions on Power Electronics*, vol. 26, no. 11, pp. 3183-3191, Nov. 2011.
- [49] M. D. Benedetto, A. Lidozzi, L. Solero, F. Crescimbin, P. J. Grbović, "Reliability and real-time failure protection of the three-phase five-level E-type converter," *IEEE Trans. Ind. Appl.*, vol. 56, no. 6, pp. 6630-6641, 2020.
- [50] M. Yaghoubi, J. S. Moghani, N. Noroozi, M. R. Zolghadri, "IGBT open-circuit fault diagnosis in a quasi-Z-source inverter," *IEEE Trans. Ind. Electron.*, vol. 66, no. 4, pp. 2847 - 2856, Apr. 2019.
- [51] U. M. Choi, K. B. Lee, F. Blaabjerg, "Diagnosis and tolerant strategy of an open-switch fault for T-type three-level inverter systems," *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 495 - 508, 2014.
- [52] B. Long, T. Cao, D. Shen, J. Rodriguez, J. M. Guerrero, K. T. Chong, "Sequential model predictive fault-tolerance control for T-type three-level grid-connected converters with LCL filter," *IEEE Trans. Ind. Electron.*, in press doi: 10.1109/TIE.2021.3114711, 2021.
- [53] J. Chen, C. Zhang, A. Chen, X. Xing, "Fault-tolerant control strategies for T-type three-level inverters considering neutral-point voltage oscillations," *IEEE Trans. Ind. Electron.*, vol. 66, no. 4, pp. 2837-2846, Apr. 2019.
- [54] U. M. Choi, F. Blaabjerg, K. B. Lee, "Reliability improvement of a T-type three-level inverter with fault-tolerant control strategy," *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2660 - 2673, May 2015.

- [55] W. Zhang, D. Xu, "Fault analysis and fault-tolerant design for parallel redundant inverter systems in case of IGBT short-circuit failures," *IEEE J. Emer. Sel. Top. Power Electron.*, vol. 6, no. 4, pp. 2031-2041, Dec. 2018.
- [56] Z. Wang, J. Chen, M. Cheng, Y. Zheng, "Fault-tolerant control of paralleled-voltage-source-inverter-fed PMSM drives," *IEEE Trans. Ind. Electron.*, vol. 62, no. 8, pp. 4749 - 4760, Aug. 2015.
- [57] F. G., P. C. Loh, F. Blaabjerg, D. M. Vilathgamuwa, "Performance evaluation of three-level Z-source inverters under semiconductor-failure conditions," *IEEE Trans. Ind. Appl.*, vol. 45, no. 3, pp. 971 - 981, 2009.
- [58] J. He, R. Katebi, N. Weise, N. A. O. Demerdash, L. Wei, "A fault-tolerant T-type multilevel inverter topology with increased overload capability and soft-switching characteristics," *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2826 - 2839, 2017.
- [59] R. Katebi, J. He, N. Weise, "Investigation of fault-tolerant capabilities in an advanced three-level active T-type converter," *IEEE J. Emer. Sel. Top. Power Electron.*, vol. 7, no. 1, pp. 446 - 457, Mar. 2019.
- [60] B. Wang, Z. Li, M. Dong, Z. Bai, P. T. Krein, H. Ma, "Recovering partial three-level operation in a T-type inverter with fault management redundant unit," *IEEE Trans. Power Electron.*, vol. 35, no. 9, pp. 8944 - 8955, Sept. 2020.
- [61] B. Wang, Z. Li, Z. Bai, P. T. Krein, H. Ma, "A redundant unit to form T-type three-level inverters tolerant of IGBT open-circuit faults in multiple legs," *IEEE Trans. Power Electron.*, vol. 35, no. 1, pp. 924-939, Jan. 2020.

- [62] T. L. Lee, B. F. Li, M. Y. Yang, Y. T. Tsai, "A carrier-based PWM for three-level T-type inverter to tolerate open-circuit fault," *IEEE Trans. Power Electron.*, vol. 33, no. 10, pp. 8787 - 8796, Oct. 2018.
- [63] J. Li, A. Q. Huang, Z. Liang, S. Bhattacharya, "Analysis and design of active NPC (ANPC) inverters for fault-tolerant operation of high-power electrical drives," *IEEE Trans. Power Electron.*, vol. 27, no. 2, pp. 519 - 533, Feb. 2012.
- [64] P. Azer, S. Ouni, M. Narimani, "A novel fault-tolerant technique for active-neutral-point-clamped inverter using carrier-based PWM," *IEEE Trans. Ind. Electron.*, vol. 67, no. 3, pp. 1792 - 1803, Mar. 2020.
- [65] V. F. Pires, A. Cordeiro, D. Foito, and J. F. Martins, "Quasi-Z-source inverter with a T-type converter in normal and failure mode," *IEEE Trans. Power Electron.*, vol. 31, no. 11, pp. 7462–7470, Nov. 2016.
- [66] M. Sahoo and Si. Keerthipati, "Fault-tolerant three-level boost inverter with reduced source and LC count," *IET Power Electron.*, vol. 11, pp. 399– 405, Feb. 2018.
- [67] D. T. Do, M. K. Nguyen, T. H. Quach, V. T. Tran, F. Blaabjerg, D. M. Vilathgamuwa, "A PWM scheme for a fault-tolerant three-level quasi-switched boost T-type inverter," *IEEE J. Emer. Sel. Top. Power Electron.*, vol. 8, no. 3, pp. 3029 - 3040, Sept. 2020.
- [68] G. Yang, D. H. Yi, C. Chai, B. Huang, Y. Zhang, Z. Chen, "Predictive current control of boost three-level and T-type inverters cascaded in wind power generation systems," *Algorithms*, vol. 11, no. 7, pp. 92, 2018.

- [69] J. M. Kwon, B. H. Kwon, K. H. Nam, "Three-phase photovoltaic system with three-level boosting MPPT control," *IEEE Trans. Power Electron.*, vol. 23, no. 5, pp. 2319 - 2327, Sept. 2008.
- [70] H. Hu, W. Yao, Z. Lu, "Design and implementation of three-level space vector PWM IP core for FPGAs," *IEEE Trans. Power Electron.*, vol. 22, no. 6, pp. 2234 - 2244, Oct. 2007.
- [71] D. -T. Do, V. -T. Tran, M. -K. Nguyen and S. M. Naik, "Fault Tolerant Control Methods for Three-Level Boost T-Type Inverter," *IEEE Trans. Ind. Electron.*, vol. 70, no. 6, pp. 5463-5473, June 2023.
- [72] M. -K. Nguyen, T. -D. Duong, Y. -C. Lim and J. -H. Choi, "High Voltage Gain Quasi-Switched Boost Inverters With Low Input Current Ripple," *IEEE Trans. Ind. Informatics*, vol. 15, no. 9, pp. 4857-4866, Sept. 2019.